

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 9 年 7 月 2 3 日

出 願 番 号

Application Number:

平成 1 1 年特許願第 2 0 9 4 4 7 号

出 願 人

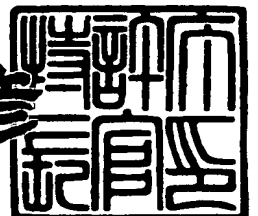
Applicant (s):

株式会社半導体エネルギー研究所

2 0 0 0 年 5 月 2 6 日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特 2 0 0 0 - 3 0 3 8 6 6 8

【書類名】 特許願

【整理番号】 P004271-07

【提出日】 平成11年 7月23日

【あて先】 特許庁長官 伊佐山 建志 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小山 潤

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 △ひろ▽木 正明

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 浅見 宗広

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 納 光明

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 塩野入 豊

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 長尾 祥

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】

複数の T F T がマトリクス状に配置された画素部と、ソースドライバと、ゲートドライバと、を有する表示パネルと、

外部から入力される映像信号を処理する映像信号処理回路と、

前記表示パネルおよび前記映像信号処理回路を制御するコントロール回路と、を有する表示装置であって、

前記映像信号処理回路は、補正テーブルに基づき前記映像信号を補正し、補正された映像信号を前記表示パネルへ供給することを特徴とする表示装置。

【請求項 2】

複数の T F T がマトリクス状に配置された画素部と、ソースドライバと、ゲートドライバと、を有する表示パネルと、

外部から入力される映像信号を処理する映像信号処理回路と、

前記表示パネルおよび前記映像信号処理回路を制御するコントロール回路と、を有する表示装置であって、

前記映像信号処理回路は、補正テーブルに基づき前記映像信号をガンマ補正し、ガンマ補正された映像信号を前記表示パネルへ供給することを特徴とする表示装置。

【請求項 3】

前記表示パネルは液晶表示パネルであることを特徴とする請求項 1 または 2 に記載の表示装置。

【請求項 4】

前記ソースドライバは D/A 変換回路を有するデジタルドライバであることを特徴とする請求項 1 乃至 3 のいずれか一に記載の表示装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一に記載の表示装置を有するプロジェクタ。

【請求項 6】

請求項 1 乃至 4 のいずれかーに記載の表示装置を 3 個有するリアプロジェクタ

【請求項 7】

請求項 1 乃至 4 のいずれかーに記載の表示装置を 3 個有するフロントプロジェクタ。

【請求項 8】

請求項 1 乃至 4 のいずれかーに記載の表示装置を有するゴーグル型ディスプレイ。

【請求項 9】

請求項 1 乃至 4 のいずれかーに記載の表示装置を有するモバイルコンピュータ

【請求項 1 0】

請求項 1 乃至 4 のいずれかーに記載の表示装置を有するノートブック型パーソナルコンピュータ。

【請求項 1 1】

請求項 1 乃至 4 のいずれかーに記載の表示装置を有するビデオカメラ。

【請求項 1 2】

請求項 1 乃至 4 のいずれかーに記載の表示装置を有する DVD プレーヤー。

【請求項 1 3】

請求項 1 乃至 4 のいずれかーに記載の表示装置を有するゲーム機。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

【0 0 0 2】

本発明は表示装置に関する。特に、アクティブマトリクス型の液晶パネルを用いた表示装置に関する。なお、本発明は表示媒体に液晶以外のものを用いた表示パネルを用いた表示装置にも適用し得る。

【0 0 0 3】

【従来の技術】

【 0 0 0 4 】

最近安価なガラス基板上に半導体薄膜を形成した半導体装置、例えば薄膜トランジスタ（T F T）を作製する技術が急速に発達してきている。その理由は、アクティブマトリクス型液晶表示装置（液晶パネル）の需要が高まってきたことによる。

【 0 0 0 5 】

アクティブマトリクス型液晶表示装置は、マトリクス状に配置された数十〜数百万個もの画素領域にそれぞれT F Tが配置され、各画素電極に出入りする電荷をT F Tのスイッチング機能により制御するものである。

【 0 0 0 6 】

画素領域には、ガラス基板上に形成されたアモルファスシリコンを利用した薄膜トランジスタが配置されている。

【 0 0 0 7 】

また、基板として石英を利用し、多結晶珪素膜でもって薄膜トランジスタを作製する構成も知られている。この場合、周辺駆動回路も画素部も石英基板上に形成される薄膜トランジスタでもって構成される。

【 0 0 0 8 】

また、レーザーアニール等の技術を利用することにより、ガラス基板上に結晶性珪素膜を用いた薄膜トランジスタを作製する技術も知られている。この技術を利用すると、ガラス基板に画素部と周辺駆動回路とを集積化することができる。

【 0 0 0 9 】

【発明が解決しようとする課題】

【 0 0 1 0 】

近年、アクティブマトリクス型液晶パネルがノート型のパーソナルコンピュータに多用されてきている。パーソナルコンピュータにおいては、複数のソフトウェアを同時に起動したり、デジタルカメラからの映像を取り込んで加工したりと、多階調の液晶パネルが要求されている。

【 0 0 1 1 】

また、ハイビジョン信号による画像を写すことができる大画面に対応した液晶

プロジェクタの需要が高まってきている。この場合も、階調表示をいかに細かくできるかが表示画像の良否にかかっている。

【0012】

このように、高画質な映像を提供するためには、階調表示がどこまで細かくできるかが重要となる。階調表示の方法としては、ソース線にビデオ信号やテレビジョン信号などのアナログ信号を供給する場合（アナログ階調）と、パーソナルコンピュータが出力するデータ信号などのデジタル信号を供給する場合（デジタル階調）とがある。

【0013】

アナログ階調では、上述したようにソースドライバからの信号により画像信号線に供給されるアナログ画像信号が順次選択され、対応するソース線に所定の画像信号が供給される。

【0014】

デジタル階調では、画像信号線に供給されるデジタル信号が順次選択され、D/A変換された後、対応するソース線に所定の画像信号が供給される。

【0015】

液晶パネルの場合、いずれの階調表示を用いる場合でも、液晶に印加する電圧（V）と透過光強度との間には、図17点線で示されるような関係がある。ただし、液晶パネルは、TN（ツイストネマチック）モードで電圧が印加されていない時に明状態となるノーマリホワイトモードを用いているものとする。

【0016】

図17からもわかるように液晶に印加される電圧と透過光強度との間には非線型関係があり、印加する電圧に応じた階調表示を行うことが難しい。よって、外部から入力される画像信号を正確に画像として復元することができず、良好な画像を提供することが困難である。

【0017】

そこで本発明は上記の事情を鑑みてなされたものであり、良好な階調表示を行える表示装置を提供することを課題とする。

【0018】

【課題を解決するための手段】

【0019】

本発明によると、

複数のTFTがマトリクス状に配置された画素部と、ソースドライバと、ゲートドライバと、を有する表示パネルと、

外部から入力される映像信号を処理する映像信号処理回路と、

前記表示パネルおよび前記映像信号処理回路を制御するコントロール回路と、を有する表示装置であって、

前記映像信号処理回路は、補正テーブルに基づき前記映像信号を補正し、補正された映像信号を前記表示パネルへ供給することを特徴とする表示装置が提供される。

【0020】

また、本発明によると、

複数のTFTがマトリクス状に配置された画素部と、ソースドライバと、ゲートドライバと、を有する表示パネルと、

外部から入力される映像信号を処理する映像信号処理回路と、

前記表示パネルおよび前記映像信号処理回路を制御するコントロール回路と、を有する表示装置であって、

前記映像信号処理回路は、補正テーブルに基づき前記映像信号をガンマ補正し、ガンマ補正された映像信号を前記表示パネルへ供給することを特徴とする表示装置が提供される。

【0021】

前記表示パネルは液晶表示パネルであるようにしてもよい。

【0022】

前記ソースドライバはD/A変換回路を有するデジタルドライバであるようにしてもよい。

【0023】

【発明の実施の形態】

【0024】

図1に本発明の実施の形態を示す。図1において、100は液晶パネルであり、ソースドライバ110および120、ゲートドライバ130、デジタルビデオデータ分割回路140、および画素部150を有している。画素部150はマトリクス状に配置された画素を有しており、各画素はTFT151、画素電極等を有している。また、液晶パネルはソースドライバ110および120、ゲートドライバ130、デジタルビデオデータ分割回路140、および画素部150が形成されたアクティブマトリクス基板と対向基板とが液晶152を挟んで貼り合されて構成されている。なお、ここでは、液晶パネルを例にとっているが、これに限定されるわけではなく、印加電圧に応じて電気光学特性が変化する他の表示媒体を用いた表示パネルをも用いることができる。また、本実施の形態では、デジタルドライバを有する液晶パネルについて説明するが、アナログドライバを有する液晶パネルも用いることができる。

【0025】

160は映像信号処理回路であり、外部から入力されるアナログビデオ信号200をデジタル映像信号に変換するA/D変換回路163、およびデジタルビデオ信号を補正する補正回路161を有している。補正回路161は補正メモリ162を有している。本発明の表示装置においては、補正メモリに記憶された補正テーブルに基づいてデジタルビデオ信号が補正される。

【0026】

コントロール回路170は、液晶パネル100および映像信号処理回路160に供給する種々の信号をコントロールする。コントロール回路170には同期信号が入力される。

【0027】

映像信号処理回路160、コントロール回路170等は、液晶パネル100とは異なる基板、例えば別のプリント基板に実装されており、当該基板上の回路と液晶パネル100とは、ケーブルやフレキシブル配線板等によって接続されている。なお、映像信号処理回路160、コントロール回路170等の回路の一部または全部を液晶パネルと同一基板に設ける構成とすれば集積化が図れるため、好ましいことはいふまでもない。

【0028】

コントロール回路170は、同期信号210に基づいてソースドライバ回路110および120、ゲートドライバ回路130、デジタルビデオデータ分割回路140、ならびに映像信号処理回路160等の動作タイミングを制御するのに必要なパルス（スタートパルス、クロックパルス、同期信号等）を作成し供給する回路である。

【0029】

デジタルビデオデータ分割回路140には、映像信号処理回路160で補正されたデジタル映像信号とコントロール回路170からのスタートパルス信号、クロック信号、水平同期信号等が入力される。

【0030】

コントロール回路170は、入力された同期信号210を基準にして、位相同期された発振器から出力される発振クロック信号（OSC）を原発振として、予め設定されたカウント数（分周比）のクロックをカウントする動作（分周）を繰り返す。この分周と同時にクロックをカウントし、ソースドライバ回路に供給する画面水平方向のスタートパルス（S__SP）およびクロックパルス（S__CK）、ゲートドライバ回路に供給する画面垂直方向のスタートパルス（G__SP）およびクロックパルス（G__CK）、ならびにデジタルビデオデータ分割回路に供給するクロックパルス（D__CK）等を作成する。さらに、水平同期信号（HSY）、垂直同期信号（VSY）を作成する場合もある。

【0031】

外部から映像信号処理回路160へ入力されるビデオ信号200はアナログ信号である。映像信号処理回路160において、ビデオ信号160はA/D変換回路163によりデジタルビデオ信号に変換され補正回路161に出力される。補正回路161は、補正メモリに記憶された補正テーブルに基づき、入力するデジタルビデオ信号に液晶特性を考慮した γ 補正を施し階調特性等を改善する。補正されたデジタルビデオ信号は液晶パネル100のデジタルビデオ信号分割回路に供給される。

【0032】

ここで、図2を参照する。図2は、本実施の形態の液晶パネル100のブロック図をさらに詳細に示したものである。

【0033】

ソースドライバ110は、シフトレジスタ回路(240ステージ×2のシフトレジスタ回路)111、ラッチ回路1(960×8デジタルラッチ回路)112、ラッチ回路2(960×8デジタルラッチ回路)113、セクタ回路1(240のセクタ回路)114、D/A変換回路(240のDAC)115、セクタ回路2(240のセクタ回路)116を有している。その他、バッファ回路やレベルシフタ回路(いずれも図示せず)を有している。また、説明の便宜上、D/A変換回路115にはレベルシフタ回路が含まれている。

【0034】

ソースドライバ120は、ソースドライバ110と同じ構成を有している。なお、ソースドライバ110は奇数番目のソース信号線にビデオ信号(階調電圧信号)を供給し、ソースドライバ120は偶数番目のソース信号線にビデオ信号を供給する。

【0035】

なお、本実施例の液晶パネル100においては、回路レイアウトの都合上、画素部の上下を挟むように2つのソースドライバ110およびソースドライバ120を設けたが、回路レイアウト上可能であればソースドライバを1つだけ設けるようにしても良い。

【0036】

ここで、本実施例の液晶パネル100の動作および信号の流れを説明する。

【0037】

シフトレジスタ回路111にクロック信号(S_{CK})およびスタートパルス(S_{SP})が入力される。シフトレジスタ回路111は、クロック信号(S_{CK})およびスタートパルス(S_{SP})に基づきタイミング信号を順に発生させ、バッファ回路等(図示せず)を通して後段の回路へタイミング信号を順次供給する。

【0038】



シフトレジスタ回路からのタイミング信号は、バッファ回路等によってバッファされる。タイミング信号が供給されるソース信号線には、多くの回路あるいは素子が接続されているために負荷容量（寄生容量）が大きい。この負荷容量が大きいために生ずるタイミング信号の立ち上がりまたは立ち下がりの”鈍り”を防ぐために、このバッファ回路が設けられる。

【0039】

バッファ回路によってバッファされたタイミング信号は、ラッチ回路1（112）に供給される。ラッチ回路1（112）は、8ビットデジタルビデオ信号を処理するラッチ回路を960ステージ有してゐる。ラッチ回路1（112）は、前記タイミング信号が入力されると、デジタルビデオ信号分割回路から供給される8ビットデジタルビデオ信号を順次取り込み、保持する。

【0040】

ラッチ回路1（112）の全てのステージにラッチ回路にデジタルビデオ信号の書き込みが一通り終了するまでの時間は、ライン期間と呼ばれる。すなわち、ラッチ回路1（112）の中で一番左側のステージのラッチ回路にデジタルビデオ信号の書き込みが開始される時点から、一番右側のステージのラッチ回路にデジタルビデオ信号の書き込みが終了する時点までの時間間隔がライン期間である。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間と呼ぶこともある。

【0041】

1ライン期間の終了後、シフトレジスタ回路111の動作タイミングに合わせて、ラッチ回路2（113）にラッチシグナル（LS）が供給される。この瞬間、ラッチ回路1（112）に書き込まれ保持されているデジタルビデオ信号は、ラッチ回路2（113）に一斉に送出され、ラッチ回路2（113）の全ステージのラッチ回路に書き込まれ、保持される。

【0042】

デジタルビデオ信号をラッチ回路2（113）に送出し終えたラッチ回路1（112）には、シフトレジスタ回路111からのタイミング信号に基づき、再びデジタルビデオ信号分割回路から供給されるデジタルビデオ信号の書き込みが順

次行われる。

【0043】

この2順目の1ライン期間中には、ラッチ回路2(113)に書き込まれ、保持されているデジタルビデオ信号が、セクタ回路1(114)によって順次選択され、D/A変換回路115に供給される。なお本実施の形態では、セクタ回路1(114)においては、1つのセクタ回路がソース信号線4本に対応している。

【0044】

なお、セクタ回路については、本出願人による特許出願である特願平9-286098号に記載されているものを用いることもできる。

【0045】

本実施の形態では、ソース信号線4本毎に一つのセクタ回路が設けられている。また、1ライン走査期間の1/4づつ対応するソース信号線にラッチ回路1(112)から供給される8ビットデジタルビデオデータが選択される。

【0046】

セクタ回路114で選択された8ビットデジタルビデオデータがD/A変換回路115に供給される。ここで、本実施例に用いられるD/A変換回路について図3および図4を用いて解説する。

【0047】

図3には、本実施の形態のD/A変換回路の回路図が示されている。なお、本実施の形態のD/A変換回路は、レベルシフト回路(L、S)を有しているが、このレベルシフト回路を省略して設計することも可能である。なお、レベルシフト回路(L、S)の回路構成については、図4(A)に示されている。レベルシフト回路においては、入力INに信号Loが入力され、入力INbに信号Hiが入力された時に、出力OUTからは高電位電源VddHIが、出力OUTbからは低電位電源Vssが出力されるようになっている。また、入力INに信号Hiが入力され、入力INbに信号Loが入力された時に、出力OUTからは低電位電源Vssが、出力OUTbからは高電位電源VddHIが出力されるようになっている。

【 0 0 4 8 】

本実施の形態のD/A変換回路には、NOR回路（115-1）の一方の入力に8ビットのデジタルビデオ信号（D0～D7）の反転データ（ここでは反転D0～D7と呼ぶ）が入力されるようになっている。このNOR回路（115-1）の他方の入力には、リセットパルスA（ResA）が入力される。このリセットパルスAは、D/A変換回路のリセット期間TRに入力される。本実施の形態の場合、デジタルビデオ信号（反転D0～D7）はリセット期間TR中にもNOR回路（115-1）へ入力されているが、NOR回路にリセットパルスResAが入力されている間は、NOR回路からはデジタルビデオ信号が出力されないようになっている。

【 0 0 4 9 】

なお、NOR回路を省略し、リセット期間TRの終了後、デジタルビデオ信号（反転D0～D7）が入力されるようにしてもよい。

【 0 0 5 0 】

リセット期間TRの終了後、データ書き込み期間TEが始まり、8ビットのデジタルビデオ信号がレベルシフタ回路によってその電圧レベルを上げられ、スイッチ回路SW0～SW7に入力される。

【 0 0 5 1 】

スイッチ回路SW0～SW7は、それぞれ2個のアナログスイッチASW1およびASW2によって構成されている。アナログスイッチASW1およびASW2のそれぞれの回路構成は、図4（B）に示されている。ASW1の一端はDC_VIDEO_Lに、その他端はASW2の一端に接続されかつ容量に接続されている。また、各ASW2の一端はDC_VIDEO_Hに、その他端はASW2の一端に接続されかつ容量（本実施の形態では、1 p F、2 p F、4 p F、8 p F、1 p F、2 p F、4 p F、8 p Fであるが、これに限られない）に接続されている。各容量の一端は2つのアナログスイッチに接続されており、他端はリセットスイッチ2（Res2）に接続されている。また、リセットスイッチ1（Res1）の一端は、DC_VIDEO_Mに接続されており、他端は上位ビットに対応する容量の一端に接続されている。リセットスイッチRes1およびRes2には

、リセットパルス (R e s B) および反転リセットパルス (反転 R e s B) が入力される。

【 0 0 5 2 】

また、上位ビットに対応する回路と下位ビットに対応する回路の接続点には、容量 (1 p F) が設けられている。なお、本実施の形態における、上述の全て容量はそれらの値に限定されるわけではない。

【 0 0 5 3 】

D/A変換回路 1 1 5 は、8ビットのデジタルビデオ信号をアナログビデオ信号 (階調電圧) に変換し、セクタ回路 2 (1 1 6) によって選択されるソース信号線に順次供給される。なお、本実施の形態で用いた D/A 変換回路の詳細については、本出願人による特許出願である特願平 1 1 - 7 7 8 4 6 号を参照することができる。

【 0 0 5 4 】

ソース信号線に供給されるアナログ信号は、ソース信号線に接続されている画素部の画素 T F T のソース領域に供給される。

【 0 0 5 5 】

ゲートドライバ 1 3 0 においては、シフトレジスタ (図示せず) からのタイミング信号がバッファ回路 (図示せず) に供給され、対応するゲート信号線 (走査線) に供給される。ゲート信号線には、1 ライン分の画素 T F T のゲート電極が接続されており、1 ライン分全ての画素 T F T を同時に ON にしなくてはならないので、バッファ回路には電流容量の大きなものが用いられる。

【 0 0 5 6 】

このように、ゲートドライバからの走査信号によって対応する画素 T F T のスイッチングが行われ、ソースドライバからのアナログ信号 (階調電圧) が画素 T F T に供給され、液晶分子が駆動される。

【 0 0 5 7 】

1 4 0 はデジタルビデオ信号分割回路 (S P C ; Serial-to-Parallel Conversion Circuit) である。デジタルビデオ信号分割回路 1 4 0 は、液晶パネル 1 0 0 の外部装置から (映像信号処理回路 1 6 0 から) 入力されるデジタルビデオ信

号の周波数を $1/m$ に落とすための回路である。外部から入力されるデジタルビデオデータを分割することにより、駆動回路の動作に必要な信号の周波数も $1/m$ に落とすことができる。

【 0 0 5 8 】

本実施の形態では、デジタルビデオ信号分割回路 1 4 0 には、外部から 8 0 M H z の 8 ビットデジタルビデオ信号が入力される。デジタルビデオ信号分割回路 1 4 0 は、外部から入力される 8 0 M H z の 8 ビットデジタルビデオ信号をシリアル—パラレル変換し、1 0 M H z のデジタルビデオ信号をソースドライバ 1 1 0 および 1 2 0 に供給する。

【 0 0 5 9 】

なお、本実施の形態のデジタルビデオデータ分割回路 1 4 0 には、8 0 M H z のデジタルビデオデータその他、4 0 M H z のクロック (D _ C K) およびリセットパルス (D _ R e s) が外部から入力される。本実施の形態のデジタルビデオデータ分割回路 1 4 0 は、入力されるデジタルビデオデータの周波数の半分の周波数のクロックしか必要としない。よって、従来のものと比較して、本実施の形態のデジタルビデオデータ分割回路 1 4 0 は安定性および信頼性が高い。

【 0 0 6 0 】

ここで、本発明の表示装置の映像信号処理回路 1 6 0 の補正回路における補正メモリの補正テーブルの作成方法について説明する。

【 0 0 6 1 】

図 5 を参照する。図 5 には、本発明の表示装置の映像信号処理回路 1 6 0 の補正回路における補正メモリの補正テーブルを作成する場合の回路ブロック図が示されている。3 0 0 は撮像装置であり、液晶パネルに表示される映像を電気信号に変換する。この撮像装置 3 0 0 には、C C D カメラ、デジタルビデオカメラ等、他の撮像装置を用いることができる。また、単に表示された映像の明るさや輝度を測定する輝度計あるいは照度計が用いられてもよい。輝度計あるいは照度計が用いられる場合、これらの装置から供給される信号をデジタル信号に変換する A / D 変換回路を用いるとよい。

【 0 0 6 2 】

310はデジタルシグナルプロセッサ(DSP)であり、320はリファレンス信号供給源であり、330シグナルジェネレータ(SG)である。なお、説明の便宜上、液晶パネル100を挟むように配置される偏光板は省略してある。

【0063】

330はシグナルジェネレータ(SG)であり、デジタル信号を供給する。映像信号処理回路160の補正回路161は、シグナルジェネレータ330から供給されるデジタル信号をガンマ補正し、補正後のデジタル信号を液晶パネル100に送出する。液晶パネル100は、映像信号処理回路160から供給されるデジタル信号に基づいて映像を表示する。

【0064】

表示された映像は、撮像装置300を用いてデジタル信号化される。撮像装置300から送出されるデジタル信号は、デジタルシグナルプロセッサ(DSP)310に供給される。デジタルシグナルプロセッサ310は、撮像装置300から供給されるデジタル信号とリファレンスデータ供給源320から供給されるデジタル信号とを比較し、そのデータのずれを補正回路161にフィードバックする。なお、リファレンスデータはシグナルジェネレータ330から直接供給されるようにしてもよい。

【0065】

デジタルシグナルプロセッサ310から供給される信号に従って、補正回路161は、シグナルジェネレータ330からのデジタル信号をさらに補正し、再び液晶パネルに送出する。液晶パネル100は、映像信号処理回路160から供給されるデジタル信号に基づいて映像を表示する。

【0066】

表示された映像は、撮像装置300を用いて再びデジタル信号化される。撮像装置300から供給されるデジタル信号は、デジタルシグナルプロセッサ310に送出される。デジタルシグナルプロセッサ310は、撮像装置300から供給されるデジタル信号とリファレンスデータ供給源320から供給されるデジタル信号とを比較し、そのずれを補正回路161に再びフィードバックする。

【0067】

以上の動作が適当なガンマ補正のデータが得られるまで繰り返される。例えば、シグナルジェネレータ 330 から画素に印加される最大電圧の 10% となる階調電圧を生じるデジタル信号が補正回路 161 に供給された場合、画素領域に表示される画像の強度が最大電圧が印加された時の 10% (あるいはほぼ 10%) となるまで以上の動作が繰り返される。

【0068】

適切なガンマ補正のデータが得られたら、そのデータを補正メモリ 162 の指定したアドレスに記憶する。

【0069】

その後、次のデジタル信号の補正を開始するために、シグナルジェネレータ 330 は、前回と異なるデジタル信号を補正回路 161 に送出する。そして上述した動作が繰り返され、そのデジタル信号に対する適切なガンマ補正のデータが得られたら、そのデータを補正メモリ 162 の指定したアドレスに記憶する。

【0070】

デジタル信号のガンマ補正データが全て補正メモリ 162 に記憶されると、シグナルジェネレータ 330、デジタルシグナルプロセッサ 310 は、液晶パネル 100 から切り離される。以上をもって、ガンマ補正の補正テーブルの作成が終了する。

【0071】

以後、デジタル信号が補正回路 160 に供給され、補正メモリ 161 に記憶されているガンマ補正テーブルのデータに基づいて、デジタル信号がガンマ補正され、液晶パネル 100 に供給される。液晶パネル 100 に供給されるデジタル信号には適切な補正がされているので、液晶パネルには良好な映像が表示される。

【0072】

図 6 は、本発明の表示装置をフロントプロジェクタとして用いる場合の補正テーブルの作成における各装置の配置を示した図である。

【0073】

ここで、光学エンジン 500 の構成を図 13 に示す。光学エンジン 500 は、光源 501、クロスダイクロイックミラー 502 および 503、ミラー 504、

505、506および507、ならびに液晶パネル100R、100Gおよび100Bを有している。なお、液晶パネル100R、100Gおよび100Bには、一対の偏光板508が設けられている。なお、液晶パネル100R、100Gおよび100Bの配置はこれに限られるわけではない。

【0074】

光源501は白色光源である。光源501には、例えば、メタルハライドランプを用いることができる。クロスダイクロイックミラー502は、光源501からの白色光を3つの異なる色（赤、青、緑）の光に分離する。ミラー504～507は全反射ミラーである。液晶パネル100R、100Gおよび100Bは、それぞれ、赤、緑、青の映像を表示する液晶パネルである。液晶パネル100R、100Gおよび100Bには、それぞれ、赤、緑、青の光が入射され光学的に変調され映像情報を有する光となる。液晶パネル100R、100Gおよび100Bから出射された映像情報を有する3つの光は、クロスダイクロイックミラー503によって合成される。クロスダイクロイックミラー503によって合成された映像情報を有する光は、レンズ等（図示せず）を介してスクリーン（図示せず）に拡大投射される。

【0075】

再び図6を参照する。図6では、本発明の表示装置を組み込んだ光学エンジンをフロントプロジェクタとして使用する場合について示している。図6に示すように、光学エンジン500、スクリーン510、シグナルジェネレータ330、デジタルシグナルプロセッサおよび撮像装置300を用いて、補正テーブルの作成を行う。撮像装置300はスクリーン上に映し出された映像を撮像し、デジタル信号に変換する。なお、補正テーブルの作成手順は、上述した通りである。

【0076】

また、図7には、本発明の表示装置を組み込んだ光学エンジンをリアプロジェクタとして用いた場合の補正テーブルの作成するための構成が示されている。

【0077】

700はリアプロジェクタ本体であり、710はスクリーンであり、720および730はリフレクタである。光学エンジン500は、図13に示したものと

同様なものが用いられる。

【0078】

なお、本実施の形態では、8ビットデジタルデータを例にとっているが、これに限られず、nビットデジタルデータを扱うようにしてもよい（nは自然数）。

【0079】

なお、本実施の形態においては、外部からアナログビデオ信号が入力される場合について説明したが、外部からデジタルビデオ信号が入力されるようにしても良い。その場合、映像信号処理回路160のA/D変換回路は不要である。

【実施例】

ここで、本発明の表示装置の実施例について説明する。

【0080】

（実施例1）

本実施例においては、本発明の表示装置の液晶パネルの作製方法例を図8～図12を用いて説明する。本実施例の液晶パネルにおいては、画素部、ソースドライバ、ゲートドライバ等を一つの基板上に一体形成される。なお、説明の便宜上、画素TFTとD/A変換回路のアナログスイッチを構成するNchTFTとインバータ回路を構成するPchTFTおよびNchTFTとが同一基板上に形成されることを示すものとする。

【0081】

図8（A）において、基板6001には低アルカリガラス基板や石英基板を用いることができる。本実施例では低アルカリガラス基板を用いた。この場合、ガラス歪み点よりも10～20℃程度低い温度であらかじめ熱処理しておいても良い。この基板6001のTFT形成表面には、基板6001からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの下地膜6002を形成する。例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜を100nm、同様に SiH_4 、 N_2O から作製される酸化窒化シリコン膜を200nmの厚さに積層形成する。

【0082】

次に、20～150nm（好ましくは30～80nm）の厚さで非晶質構造を

有する半導体膜 6 0 0 3 a を、プラズマ C V D 法やスパッタ法などの公知の方法で形成する。本実施例では、プラズマ C V D 法で非晶質シリコン膜を 5 4 n m の厚さに形成する。非晶質構造を有する半導体膜としては、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜 6 0 0 2 と非晶質シリコン膜 6 0 0 3 a とは同じ成膜法で形成することが可能であるので、両者を連続形成しても良い。その場合、下地膜を形成した後、一旦大気雰囲気中に晒すことがなくその表面の汚染を防ぐことが可能となり、作製する T F T の特性バラツキやしきい値電圧の変動を低減させることができる（図 8（A））。

【 0 0 8 3 】

そして、公知の結晶化技術を使用して非晶質シリコン膜 6 0 0 3 a から結晶質シリコン膜 6 0 0 3 b を形成する。例えば、レーザー結晶化法や熱結晶化法（固相成長法）を適用すれば良いが、ここでは、特開平 7 - 1 3 0 6 5 2 号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質シリコン膜 6 0 0 3 b を形成した。結晶化の工程に先立って、非晶質シリコン膜の含有水素量にもよるが、4 0 0 ~ 5 0 0 ° C で 1 時間程度の熱処理を行い、含有水素量を 5 a t o m % 以下にしてから結晶化させることが望ましい。非晶質シリコン膜を結晶化させると原子の再配列が起こり緻密化するので、作製される結晶質シリコン膜の厚さは当初の非晶質シリコン膜の厚さ（本実施例では 5 4 n m ）よりも 1 ~ 1 5 % 程度減少する（図 8（B））。

【 0 0 8 4 】

そして、結晶質シリコン膜 6 0 0 3 b を島状にパターンニングして、島状半導体層 6 0 0 4 ~ 6 0 0 7 を形成する。その後、プラズマ C V D 法またはスパッタ法により 5 0 ~ 1 5 0 n m の厚さの酸化シリコン膜によるマスク層 6 0 0 8 を形成する（図 8（C））。本実施例では、マスク層 6 0 0 8 の厚さは 1 3 0 n m とする。

【 0 0 8 5 】

そしてレジストマスク 6 0 0 9 を設け、n チャネル型 T F T を形成することとなる島状半導体層 6 0 0 4 ~ 6 0 0 7 の全面に $1 \times 10^{16} \sim 5 \times 10^{17}$ a t o m s / c m²

m^3 程度の濃度でp型を付与する不純物元素としてボロン（B）を添加する。このボロン（B）の添加は、しきい値電圧を制御する目的でなされる。ボロン（B）の添加はイオンドープ法で実施しても良いし、非晶質シリコン膜を成膜するときと同時に添加しておくこともできる。ここでのボロン（B）添加は必ずしも必要ではない（図8（D））。

【0086】

ドライバ等の駆動回路のnチャネル型TFTのLDD領域を形成するために、n型を付与する不純物元素を島状半導体層6010～6012に選択的に添加する。そのため、あらかじめレジストマスク6013～6016を形成する。n型を付与する不純物元素としては、リン（P）や砒素（As）を用いれば良く、ここではリン（P）を添加すべく、フォスフィン（ PH_3 ）を用いたイオンドープ法を適用した。形成された不純物領域6017、6018のリン（P）濃度は $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の範囲とすれば良い。本明細書中では、ここで形成された不純物領域6017～6019に含まれるn型を付与する不純物元素の濃度を（ n^- ）と表す。また、不純物領域6019は、画素部の保持容量を形成するための半導体層であり、この領域にも同じ濃度でリン（P）を添加する（図9（A））。その後、レジストマスク6013～6016を除去する。

【0087】

次に、マスク層6008をフッ酸などにより除去した後、図8（D）と図9（A）で添加した不純物元素を活性化させる工程を行う。活性化は、窒素雰囲気中で500～600℃で1～4時間の熱処理や、レーザー活性化の方法により行うことができる。また、両者を併用して行っても良い。本実施例では、レーザー活性化の方法を用いる。レーザー光にはKrFエキシマレーザー光（波長248nm）を用いる。本実施例では、レーザー光の形状を線状ビームに加工して用い、発振周波数5～50Hz、エネルギー密度100～500mJ/cm²として線状ビームのオーバーラップ割合を80～98%で走査することによって島状半導体層が形成された基板全面を処理する。尚、レーザー光の照射条件には何ら限定される事項はなく適宜決定することができる。

【0088】

そして、ゲート絶縁膜 6020 をプラズマ CVD 法またはスパッタ法を用いて 10~150 nm の厚さでシリコンを含む絶縁膜で形成する。例えば、120 nm の厚さで酸化窒化シリコン膜を形成する。ゲート絶縁膜には、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い（図 9（B））。

【0089】

次に、ゲート電極を形成するために第 1 の導電層を成膜する。この第 1 の導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった積層構造としても良い。本実施例では、導電性の窒化物金属膜から成る導電層（A）6021 と金属膜から成る導電層（B）6022 とを積層させる。導電層（B）6022 はタンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜（代表的には Mo-W 合金膜または Mo-Ta 合金膜）で形成すれば良く、導電層（A）6021 は窒化タンタル（Ta₂N₃）、窒化タングステン（WN）、窒化チタン（TiN）膜、窒化モリブデン（MoN）で形成する。また、導電層（A）6021 は代替材料として、タングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。導電層（B）6022 は低抵抗化を図るために含有する不純物濃度を低減させると良く、特に酸素濃度に関しては 30 ppm 以下とすると良かった。例えば、タングステン（W）は酸素濃度を 30 ppm 以下とすることで $20 \mu\Omega \text{ cm}$ 以下の比抵抗値を実現することができる。

【0090】

導電層（A）6021 は 10~50 nm（好ましくは 20~30 nm）とし、導電層（B）6022 は 200~400 nm（好ましくは 250~350 nm）とすれば良い。本実施例では、導電層（A）6021 に 50 nm の厚さの窒化タンタル膜を、導電層（B）6022 には 350 nm の Ta 膜を用い、いずれもスパッタ法で形成する。このスパッタ法による成膜では、スパッタ用のガスの Ar に適量の Xe や Kr を加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。尚、図示しないが、導電層（A）6021 の下に 2~20 nm 程度の厚さでリン（P）をドーピングしたシリコン膜を形成しておくことは

有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層(A)または導電層(B)が微量に含有するアルカリ金属元素がゲート絶縁膜6020に拡散するのを防ぐことができる(図9(C))。

【0091】

次に、レジストマスク6023~6027を形成し、導電層(A)6021と導電層(B)6022とを一括でエッチングしてゲート電極6028~6031と容量配線6032を形成する。ゲート電極6028~6031と容量配線6032は、導電層(A)から成る6028a~6032aと、導電層(B)から成る6028b~6032bとが一体として形成されている。この時、後にドライバ等の駆動回路を構成するTFETのゲート電極6028~6030は不純物領域6017、6018の一部と、ゲート絶縁膜6020を介して重なるように形成する(図9(D))。

【0092】

次いで、ドライバのPチャネル型TFETのソース領域およびドレイン領域を形成するために、P型を付与する不純物元素を添加する工程を行う。ここでは、ゲート電極6028をマスクとして、自己整合的に不純物領域を形成する。このとき、Nチャネル型TFETが形成される領域はレジストマスク6033で被覆しておく。そして、ジボラン(B_2H_6)を用いたイオンドープ法で不純物領域6034を形成した。この領域のボロン(B)濃度は $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。本明細書中では、ここで形成された不純物領域6034に含まれるP型を付与する不純物元素の濃度を(p^{++})と表す(図10(A))。

【0093】

次に、Nチャネル型TFETにおいて、ソース領域またはドレイン領域として機能する不純物領域の形成を行った。レジストのマスク6035~6037を形成し、N型を付与する不純物元素が添加して不純物領域6038~6042を形成した。これは、フォスフィン(PH_3)を用いたイオンドープ法で行い、この領域のリン(P)濃度を $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ とした。本明細書中では、ここで形成された不純物領域6038~6042に含まれるN型を付与する不純物元素の濃度を(n^+)と表す(図10(B))。

【0094】

不純物領域6038～6042には、既に前工程で添加されたリン(P)またはボロン(B)が含まれているが、それに比して十分に高い濃度でリン(P)が添加されるので、前工程で添加されたリン(P)またはボロン(B)の影響は考えなくても良い。また、不純物領域6038に添加されたリン(P)濃度は図10(A)で添加されたボロン(B)濃度の $1/2 \sim 1/3$ なのでp型の導電性が確保され、TFTの特性に何ら影響を与えることはなかった。

【0095】

そして、画素部のnチャネル型TFTのLDD領域を形成するためのn型を付与する不純物添加の工程を行った。ここではゲート電極6031をマスクとして自己整合的にn型を付与する不純物元素をイオンドープ法で添加する。添加するリン(P)の濃度は $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ であり、図9(A)および図10(A)と図10(B)で添加する不純物元素の濃度よりも低濃度で添加することで、実質的には不純物領域6043、6044のみが形成される。本明細書中では、この不純物領域6043、6044に含まれるn型を付与する不純物元素の濃度を(n^-)と表す(図10(C))。

【0096】

ここで、ゲート電極のTaのピーリングを防止するために層間膜としてSiON膜等を200nmの厚さで形成しても良い。

【0097】

その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために熱処理工程を行う。この工程はファースアニール法、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)で行うことができる。ここではファースアニール法で活性化工程を行った。熱処理は酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～800℃、代表的には500～600℃で行うものであり、本実施例では500℃で4時間の熱処理を行った。また、基板6001に石英基板のような耐熱性を有するものを使用した場合には、800℃で1時間の熱処理としても良く、不純物元素の活性化と、該不純物元素が添加された不純物領域とチャネル形成領域との接合

を良好に形成することができる。なお、上述のゲート電極のTaのピーリングを防止するための層間膜を形成した場合には、この効果は得られない場合がある。

【0098】

この熱処理において、ゲート電極6028～6031と容量配線6032形成する金属膜6028b～6032bは、表面から5～80nmの厚さでその表面に導電層(C)6028c～6032cが形成される。例えば、導電層(B)6028b～6032bがタングステン(W)の場合には窒化タングステン(WN)が形成され、タンタル(Ta)の場合には窒化タンタル(TaN)を形成することができる。また、導電層(C)6028c～6032cは、窒素またはアンモニアなどを用いた窒素を含むプラズマ雰囲気中にゲート電極6028～6031及び容量配線6032を晒しても同様に形成することができる。さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0099】

島状半導体層が、非晶質シリコン膜から触媒元素を用いる結晶化の方法で作製された場合、島状半導体層中には微量の触媒元素が残留する。勿論、そのような状態でもTFETを完成させることが可能であるが、残留する触媒元素を少なくともチャンネル形成領域から除去する方がより好ましい。この触媒元素を除去する手段の一つにリン(P)によるゲッターリング作用を利用する手段がある。ゲッターリングに必要なリン(P)の濃度は図10(B)で形成した不純物領域(n^+)と同程度であり、ここで実施される活性化工程の熱処理により、nチャンネル型TFETおよびpチャンネル型TFETのチャンネル形成領域から触媒元素をゲッターリングをすることができた(図10(D))。

【0100】

第1の層間絶縁膜6045は500～1500nmの厚さで酸化シリコン膜または酸化窒化シリコン膜で形成され、その後、それぞれの島状半導体層に形成さ

れたソース領域またはドレイン領域に達するコンタクトホールを形成し、ソース配線 6046~6049 と、ドレイン配線 6050~6053 を形成する（図 11（A））。図示していないが、本実施例ではこの電極を、Ti 膜を 100 nm、Ti を含むアルミニウム膜 500 nm、Ti 膜 150 nm をスパッタ法で連続して形成した 3 層構造の積層膜とする。

【0101】

次に、パッシベーション膜 6054 として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜を 50~500 nm（代表的には 100~300 nm）の厚さで形成する。本実施例においては、パッシベーション膜 6054 は窒化シリコン膜 50 nm と酸化シリコン膜 24.5 nm との積層膜とした。この状態で水素化処理を行うと TFT の特性向上に対して好ましい結果が得られた。例えば、3~100% の水素を含む雰囲気中で、300~450℃ で 1~12 時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜 6054 に開口部を形成しておいても良い（図 11（A））。

【0102】

その後、有機樹脂からなる第 2 層間絶縁膜 6055 を 1.0~1.5 μ m の厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。ここでは、基板に塗布後、熱重合するタイプのアクリルを用い、250℃ で焼成して形成する（図 11（B））。

【0103】

ここで、D/A 変換回路の容量を形成する。D/A 変換回路の容量の電極となるべき電極はドレイン配線と同一配線層に形成されている。前記電極の上部の第 2 層間絶縁膜 6055 を全部除去する（図示せず）。次に、ブラックマトリクスを形成する（図示せず）。本実施例ではブラックマトリクスは、Ti 膜を 100 nm に形成し、その後 Al と Ti の合金膜を 300 nm に形成した積層構造とする。よって、本実施例では、前記電極とブラックマトリクスとの間で D/A 変換

回路の容量が形成される。

【0104】

その後、有機樹脂からなる第3層間絶縁膜6059を1.0～1.5 μ mの厚さに形成する。有機樹脂としては、第2層間絶縁膜と同様の樹脂をもちいることができる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成した。

【0105】

そして、第2層間絶縁膜6055および第3層間絶縁膜6059にドレイン配線6053に達するコンタクトホールを形成し、画素電極6060を形成する。本発明の透過型液晶パネルにおいては、画素電極6060にはITO等の透明導電膜を用いる。(図11(B))。

【0106】

こうして同一基板上に、駆動回路TFTと画素部の画素TFTとを有した基板を完成させることができる。駆動回路にはpチャネル型TFT6101、第1のnチャネル型TFT6102、第2のnチャネル型TFT6103、画素部には画素TFT6104、保持容量6105が形成されている(図12)。本明細書では便宜上このような基板をアクティブマトリクス基板と呼んでいる。

【0107】

次に、上記の工程によって作製されたアクティブマトリクス基板をもとに、透過型液晶パネルを作製する工程を説明する。

【0108】

図12の状態のアクティブマトリクス基板に配向膜6061を形成する。本実施例では、配向膜6061にはポリイミドを用いた。次に、対向基板を用意する。対向基板は、ガラス基板6062、透明導電膜からなる対向電極6063、配向膜6064とで構成される。

【0109】

なお、本実施例では、配向膜には、液晶分子が基板に対して平行に配向するようなポリイミド膜を用いた。なお、配向膜形成後、ラビング処理を施すことにより、液晶分子がある一定のプレチルト角を持って平行配向するようにした。

【0 1 1 0】

次に、上記の工程を経たアクティブマトリクス基板と対向基板とを公知のセル組み工程によって、シール材やスペーサ（共に図示せず）などを介して貼り合わせる。その後、両基板の間に液晶 6 0 6 5 を注入し、封止剤（図示せず）によって完全に封止する。よって、図 1 2 に示すような透過型液晶パネルが完成する。

【0 1 1 1】

なお本実施例では、透過型液晶パネルが TN（ツイスト）モードによって表示を行うようにした。そのため、偏光板（図示せず）が透過型液晶パネルの上部に配置された。

【0 1 1 2】

駆動回路の p チャネル型 TFT 6 1 0 1 には、島状半導体層 6 0 0 4 にチャネル形成領域 8 0 6、ソース領域 8 0 7 a、8 0 7 b、ドレイン領域 8 0 8 a、8 0 8 b を有している。第 1 の n チャネル型 TFT 6 1 0 2 には、島状半導体層 6 0 0 5 にチャネル形成領域 8 0 9、ゲート電極 6 0 7 1 と重なる LDD 領域 8 1 0（以降、このような LDD 領域を L_{ov} と記す）、ソース領域 8 1 1、ドレイン領域 8 1 2 を有している。この L_{ov} 領域のチャネル長方向の長さは 0.5 ~ 3.0 μm 、好ましくは 1.0 ~ 1.5 μm とした。第 2 の n チャネル型 TFT 6 1 0 3 には、島状半導体層 6 0 0 6 にチャネル形成領域 8 1 3、LDD 領域 8 1 4、8 1 5、ソース領域 8 1 6、ドレイン領域 8 1 7 を有している。この LDD 領域は L_{ov} 領域とゲート電極 6 0 7 2 と重ならない LDD 領域（以降、このような LDD 領域を L_{off} と記す）とが形成され、この L_{off} 領域のチャネル長方向の長さは 0.3 ~ 2.0 μm 、好ましくは 0.5 ~ 1.5 μm である。画素 TFT 6 1 0 4 には、島状半導体層 6 0 0 7 にチャネル形成領域 8 1 8、8 1 9、 L_{off} 領域 8 2 0 ~ 8 2 3、ソースまたはドレイン領域 8 2 4 ~ 8 2 6 を有している。 L_{off} 領域のチャネル長方向の長さは 0.5 ~ 3.0 μm 、好ましくは 1.5 ~ 2.5 μm である。また、画素 TFT 6 1 0 4 のチャネル形成領域 8 1 8、8 1 9 と画素 TFT の LDD 領域である L_{off} 領域 8 2 0 ~ 8 2 3 との間には、オフセット領域（図示せず）が形成されている。さらに、容量配線 6 0 7 4 と、ゲート絶縁膜 6 0 2 0 から成る絶縁膜と、画素 TFT 6 0 7 3 のドレイン領域 8 2 6

に接続し、n型を付与する不純物元素が添加された半導体層 8 2 7 とから保持容量 8 0 5 が形成されている。図 1 2 では画素 T F T 8 0 4 をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【0 1 1 3】

以上の様に本実施例においては、画素 T F T およびドライバが要求する仕様に応じて各回路を構成する T F T の構造を最適化し、液晶パネルの動作性能と信頼性を向上させることを可能とすることができる。

【0 1 1 4】

なお、本実施例においては透過型の液晶パネルについて説明した。しかし、本発明のデジタルドライバを用いることができる液晶パネルは、これに限定されるわけではなく、透過型の液晶パネルにも用いることができる。

【0 1 1 5】

(実施例 2)

【0 1 1 6】

本実施例では、本発明の表示装置の液晶パネルを逆スタガ型の T F T を用いた構成した例を示す。

【0 1 1 7】

図 1 4 を参照する。図 1 4 には、本実施例の液晶パネルを構成する逆スタガ型の N チャネル型 T F T の断面図が示されている。なお、図 1 4 には、1 つの N チャネル型 T F T しか図示しないが、P チャネル型 T F T と N チャネル型 T F T とによって C M O S 回路を構成することもできるのは言うまでもない。また、同様の構成により画素 T F T を構成することも言うまでもない。

【0 1 1 8】

図 1 4 (A) を参照する。3 0 0 1 は基板であり、実施例 1 で説明したようなものが用いられる。3 0 0 2 は酸化シリコン膜である。3 0 0 3 はゲート電極である。3 0 0 4 はゲイト絶縁膜である。3 0 0 5、3 0 0 6、3 0 0 7 および 3 0 0 8 は、多結晶シリコン膜から成る活性層である。この活性層の作製にあたっては、実施例 1 で説明した非晶質シリコン膜の多結晶化と同様の方法が用いられ

た。またレーザー光（好ましくは線状レーザー光または面状レーザー光）によって、非晶質シリコン膜を結晶化させる方法をとっても良い。なお、3005はソース領域、3006はドレイン領域、3007は低濃度不純物領域（LDD領域）、3008はチャネル形成領域である。3009はチャネル保護膜であり、3010は層間絶縁膜である。3011および3012はそれぞれ、ソース電極、ドレイン電極である。

【0119】

次に、図14（B）を参照する。図14（B）には図14（A）とは構成が異なる逆スタガ型のTFETによって液晶パネルが構成された場合について説明する。

【0120】

図14（B）においても、1つのNチャネル型TFETしか図示しないが、上述のようにPチャネル型TFETとNチャネル型TFETとによってCMOS回路を構成することもできるのは言うまでもない。また、同様の構成により画素TFETを構成できることも言うまでもない。

【0121】

3101は基板である。3102は酸化シリコン膜である。3103はゲイト電極である。3104はベンゾジクロブテン（BCB）膜であり、その上面が平坦化される。3105は窒化シリコン膜である。BCB膜と窒化シリコン膜とでゲイト絶縁膜を構成する。3106、3107、3108および3109は、多結晶シリコン膜から成る活性層である。この活性層の作製にあたっては、実施例1で説明した非晶質シリコン膜の多結晶化と同様の方法が用いられた。またレーザー光（好ましくは線状レーザー光または面状レーザー光）によって、非晶質シリコン膜を結晶化させる方法をとっても良い。なお、3106はソース領域、3107はドレイン領域、3108は低濃度不純物領域（LDD領域）、3109はチャネル形成領域である。3110はチャネル保護膜であり、3111は層間絶縁膜である。3112および3113はそれぞれ、ソース電極、ドレイン電極である。

【0122】

本実施例によると、BCB膜と窒化シリコン膜とで構成されるゲイト絶縁膜が平坦化されているので、その上に成膜される非晶質シリコン膜も平坦なものになる。よって、非晶質シリコン膜を多結晶化する際に、従来の逆スタガ型のTFTよりも均一な多結晶シリコン膜を得ることができる。

【0123】

(実施例3)

【0124】

上述の本発明の表示装置の液晶パネルにはネマチック液晶以外にも様々な液晶を用いることが可能である。例えば、1998, SID, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLC Display Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue et al.や、1997, SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al.や、1996, J. Mater. Chem. 6(4), 671-673, "Thresholdless antiferroelectricity in liquid crystals and its application to displays" by S. Inui et al.や、米国特許第5594569号に開示された液晶を用いることが可能である。

【0125】

ある温度域において反強誘電相を示す液晶を反強誘電性液晶という。反強誘電性液晶を有する混合液晶には、電場に対して透過率が連続的に変化する電気光学応答特性を示す、無しきい値反強誘電性混合液晶と呼ばれるものがある。この無しきい値反強誘電性混合液晶は、いわゆるV字型の電気光学応答特性を示すものがあり、その駆動電圧が約±2.5V程度(セル厚約1μm~2μm)のものも見出されている。

【0126】

ここで、いわゆるV字型の電気光学応答を示す無しきい値反強誘電性混合液晶の印加電圧に対する光透過率の特性を示す例を図16に示す。図16に示すグラフの縦軸は透過率(任意単位)、横軸は印加電圧である。なお、液晶パネルの入射側の偏光板の透過軸は、液晶パネルのラビング方向にほぼ一致する無しきい値

反強誘電性混合液晶のスメクティック層の法線方向とほぼ平行に設定されている。また、出射側の偏光板の透過軸は、入射側の偏光板の透過軸に対してほぼ直角（クロスニコル）に設定されている。

【0127】

図15に示されるように、このような無しきい値反強誘電性混合液晶を用いると、低電圧駆動かつ階調表示が可能となることがわかる。

【0128】

また、このような低電圧駆動の無しきい値反強誘電性混合液晶をデジタルドライバを有する液晶パネルに用いた場合にも、D/A変換回路の出力電圧を下げるので、D/A変換回路の動作電源電圧を下げることができ、ドライバの動作電源電圧を低くすることができる。よって、液晶パネルの低消費電力化および高信頼性が実現できる。

【0129】

よって、このような低電圧駆動の無しきい値反強誘電性混合液晶を用いることは、比較的LDD領域（低濃度不純物領域）の幅が小さなTFT（例えば、0nm～500nmまたは0nm～200nm）を用いる場合においても有効である。

【0130】

また、一般に、無しきい値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しきい値反強誘電性混合液晶を液晶パネルに用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しきい値反強誘電性混合液晶を用いるのが好ましい。

【0131】

なお、このような無しきい値反強誘電性混合液晶を用いることによって低電圧駆動が実現されるので、液晶パネルの低消費電力が実現される。

【0132】

なお、図15に示すような電気光学特性を有する液晶であれば、いかなるものも本発明の投射型表示装置の液晶パネルの表示媒体として用いることができる。

【0133】

(実施例 4)

【0134】

本発明の表示装置は、様々な電子機器に組み込んで用いることができる。

【0135】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、ゲーム機、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 16 に示す。

【0136】

図 16 (A) はパーソナルコンピュータであり、本体 7001、映像入力部 7002、本発明の表示装置 7003、キーボード 7004 で構成される。

【0137】

図 16 (B) はビデオカメラであり、本体 7101、本発明の表示装置 7102、音声入力部 7103、操作スイッチ 7104、バッテリー 7105、受像部 7106 で構成される。

【0138】

図 16 (C) はモバイルコンピュータ（モービルコンピュータ）であり、本体 7201、カメラ部 7202、受像部 7203、操作スイッチ 7204、本発明の表示装置 7205 で構成される。

【0139】

図 16 (D) はゴーグル型ディスプレイであり、本体 7301、本発明の表示装置 7302、アーム部 7303 で構成される。

【0140】

図 16 (E) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 7401、本発明の表示装置 7402、スピーカ部 7403、記録媒体 7404、操作スイッチ 7405 で構成される。なお、この装置は記録媒体として DVD (Digital Versatile Disc)、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことが

できる。

【0141】

図16(F)はゲーム機であり、本体7501、本発明の表示装置7502、表示装置7503、記録媒体7504、コントローラ7505、本体用センサ部7506、センサ部7507、CPU部7508で構成される。本体用センサ部7506、センサ部7507はそれぞれコントローラ7505、本体7501から出される赤外線を感知することが可能である。

【0142】

以上の様に、本発明の表示装置の適用範囲は極めて広く、あらゆる分野の電子機器に適用できる。

【0143】

【発明の効果】

本発明の表示装置においては、デジタルビデオ信号が補正回路に供給され、補正メモリに記憶されているガンマ補正テーブルのデータに基づいて、デジタル信号がガンマ補正され、液晶パネルに供給される。よって、液晶パネルに供給されるデジタル信号には適切な補正がされているので、液晶パネルには良好な映像が表示される。

【図面の簡単な説明】

【図1】 本発明の表示装置の一実施の形態の回路ブロック図である。

【図2】 本発明の表示装置の一実施の形態の液晶パネルの回路ブロック図である。

【図3】 本発明の表示装置の一実施の形態の液晶パネルのD/A変換回路の回路図である。

【図4】 本発明の表示装置の一実施の形態の液晶パネルのD/A変換回路のレベルシフタおよびアナログスイッチの回路図である。

【図5】 本発明の表示装置の一実施の形態の回路ブロック図である。

【図6】 本発明の表示装置の補正テーブルを作成する際の構成図である。

【図7】 本発明の表示装置の補正テーブルを作成する際の構成図である。

【図8】 本発明の表示装置の一実施例の液晶パネルの作製工程を示す図で

ある。

【図 9】 本発明の表示装置の一実施例の液晶パネルの作製工程を示す図である。

【図 10】 本発明の表示装置の一実施例の液晶パネルの作製工程を示す図である。

【図 11】 本発明の表示装置の一実施例の液晶パネルの作製工程を示す図である。

【図 12】 本発明の表示装置の一実施例の液晶パネルの作製工程を示す図である。

【図 13】 本発明の表示装置を組み込んだ光学エンジンの概略構成図である。

【図 14】 本発明の表示装置の一実施例の液晶パネルの断面図である。

【図 15】 V字型の電気光学特性を示す反強誘電性液晶の印加電圧－透過率特性を示すグラフである。

【図 16】 本発明の表示装置を組み込んだ電子機器の例である。

【図 17】 液晶パネルの特性を示す図である。

【符号の説明】

- 1 0 0 液晶パネル
- 1 1 0 ソースドライバ回路
- 1 2 0 ソースドライバ回路
- 1 3 0 ゲートドライバ回路
- 1 4 0 デジタルビデオデータ分割回路
- 1 5 0 画素部
- 1 5 1 T F T
- 1 5 2 液晶
- 1 6 0 映像信号処理回路
- 1 6 1 補正回路
- 1 6 2 補正メモリ
- 1 6 3 A / D 変換回路

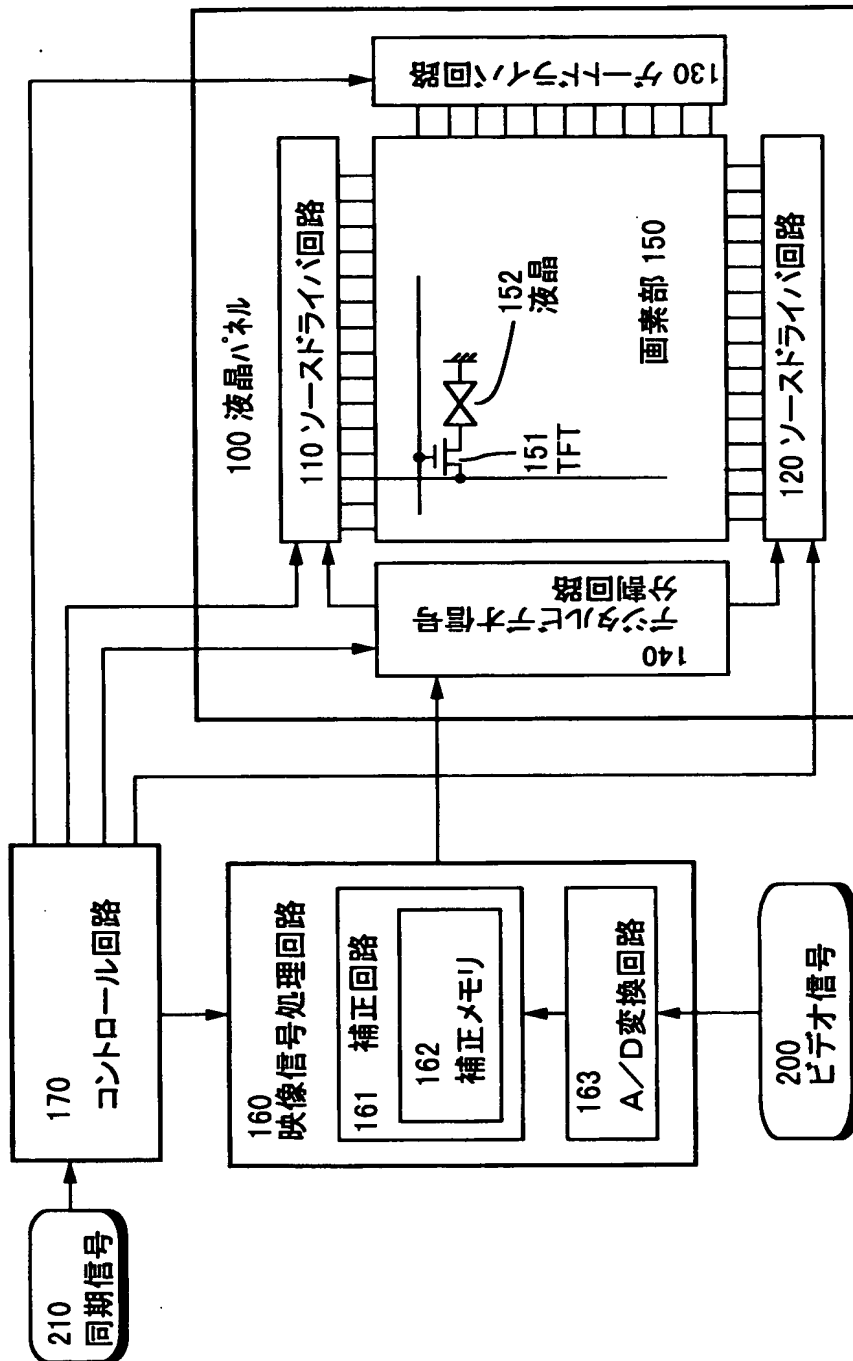
1 7 0 コントロール回路

2 0 0 ビデオ信号

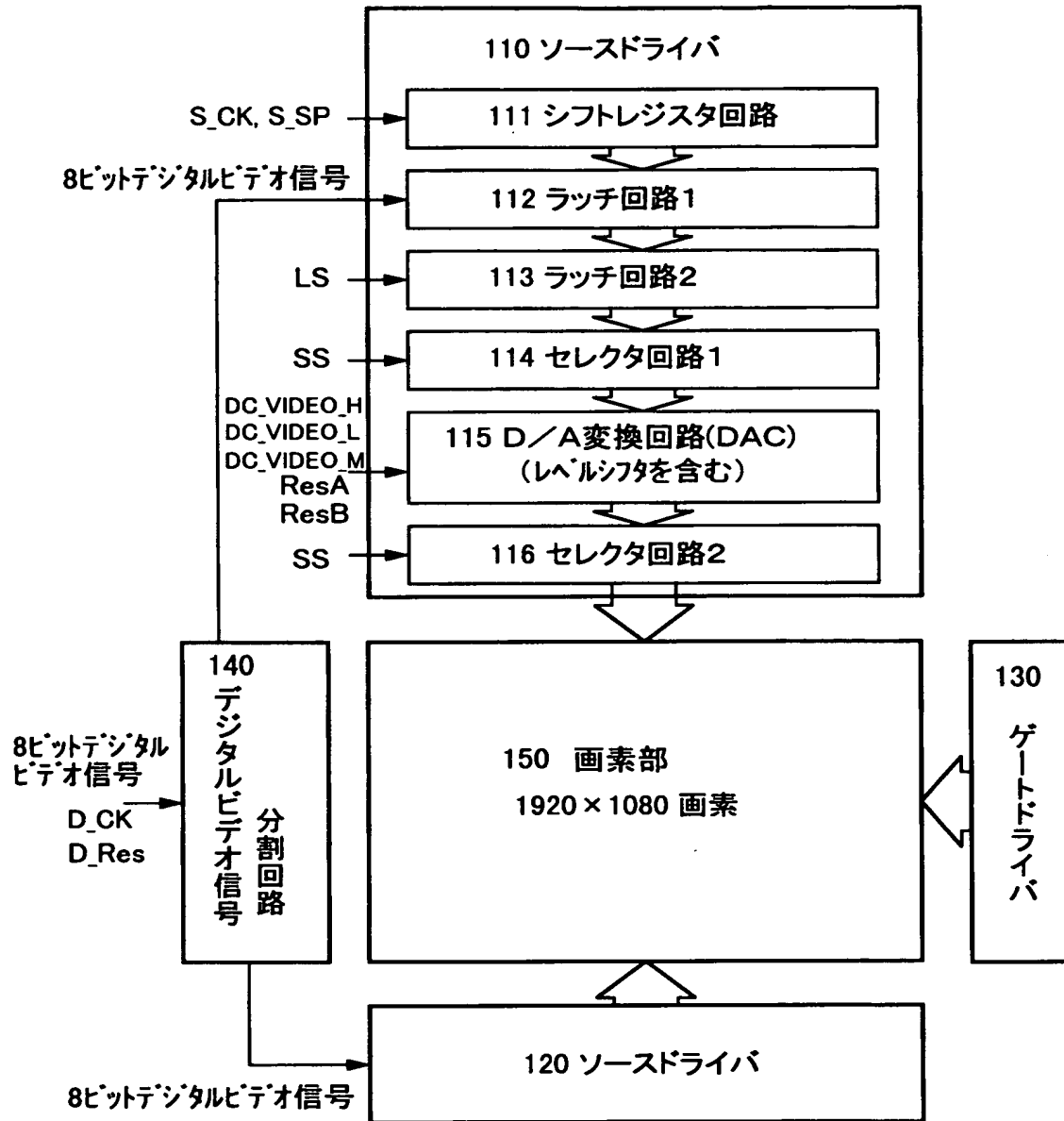
2 1 0 同期信号

【書類名】 図面

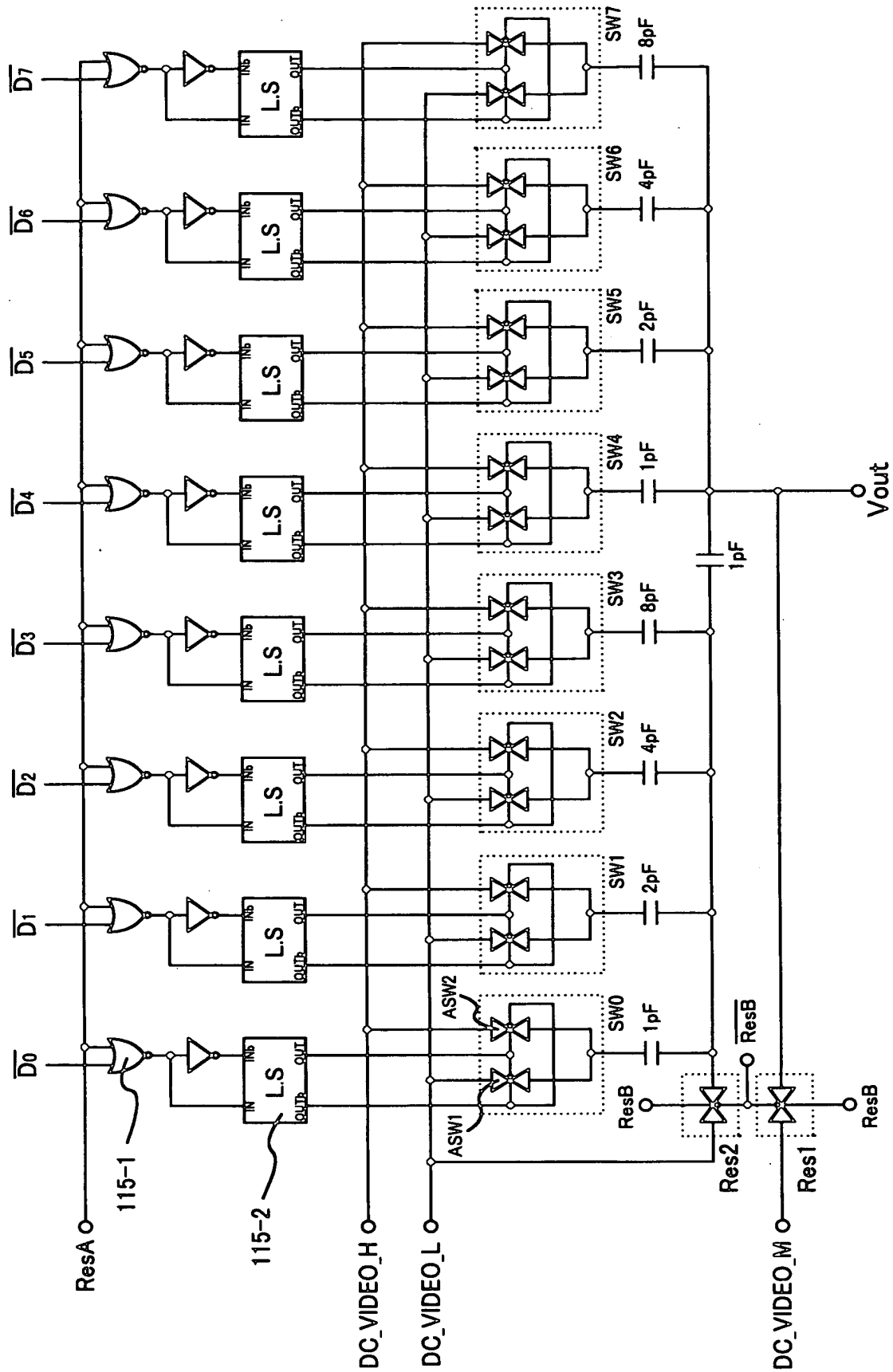
【図 1】



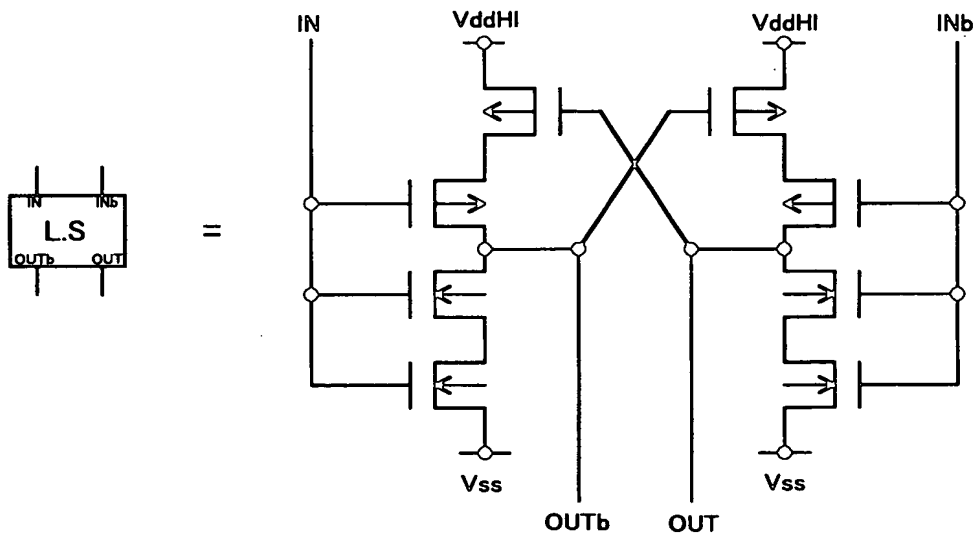
【図 2】



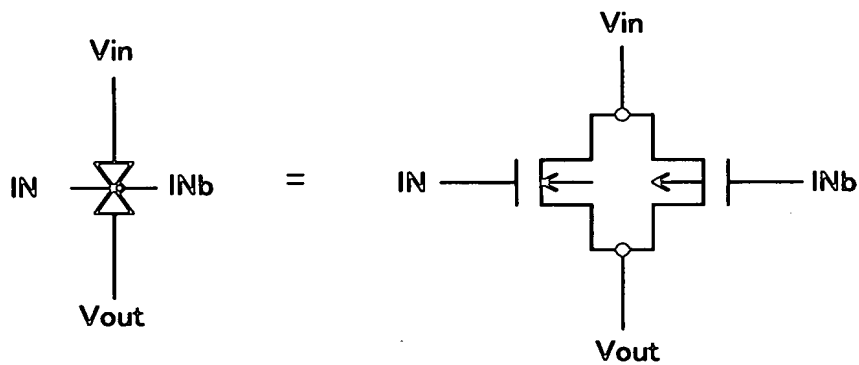
【図 3】



【図 4】

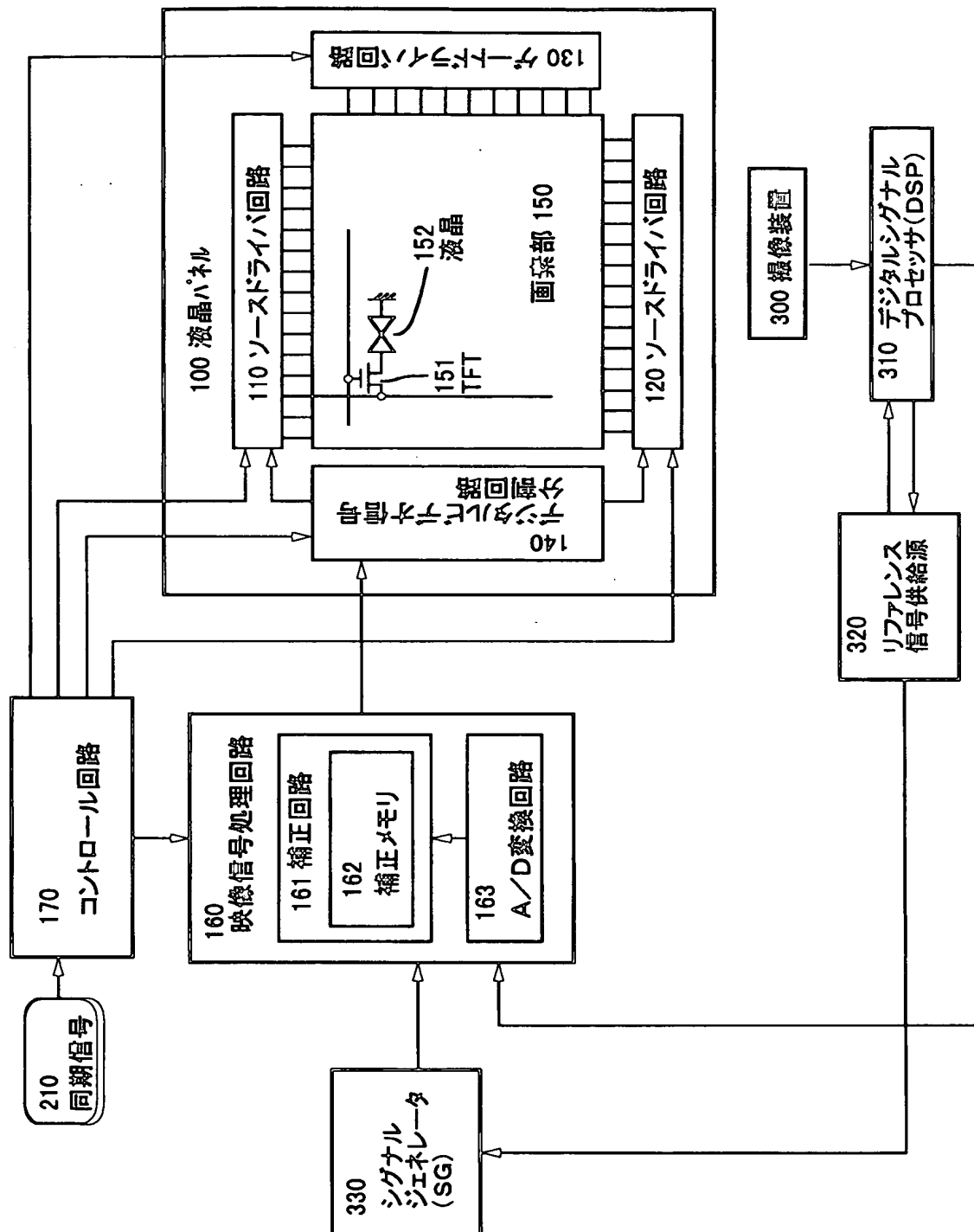


(A) レベルシフタ (L.S.)

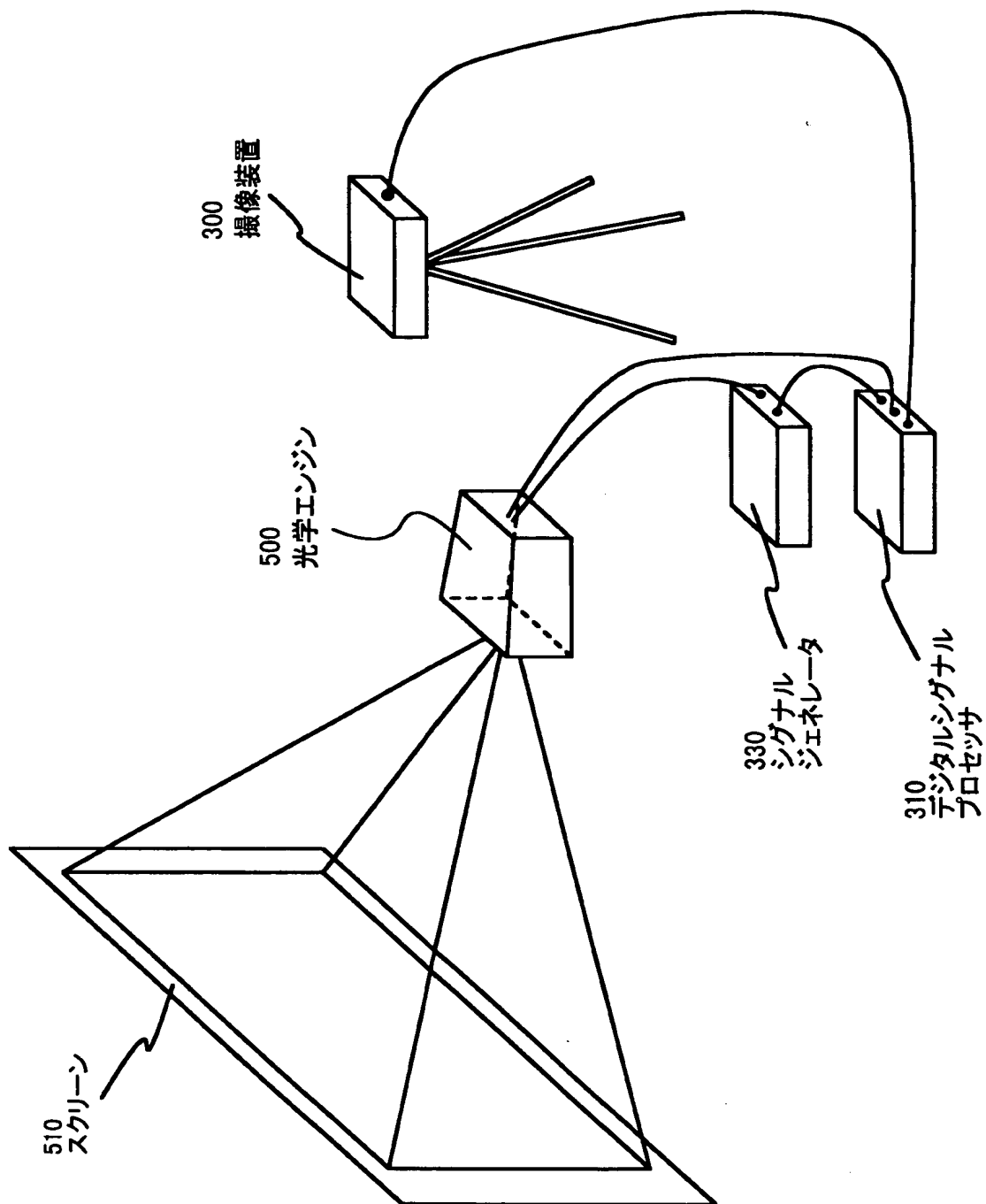


(B) アナログスイッチ

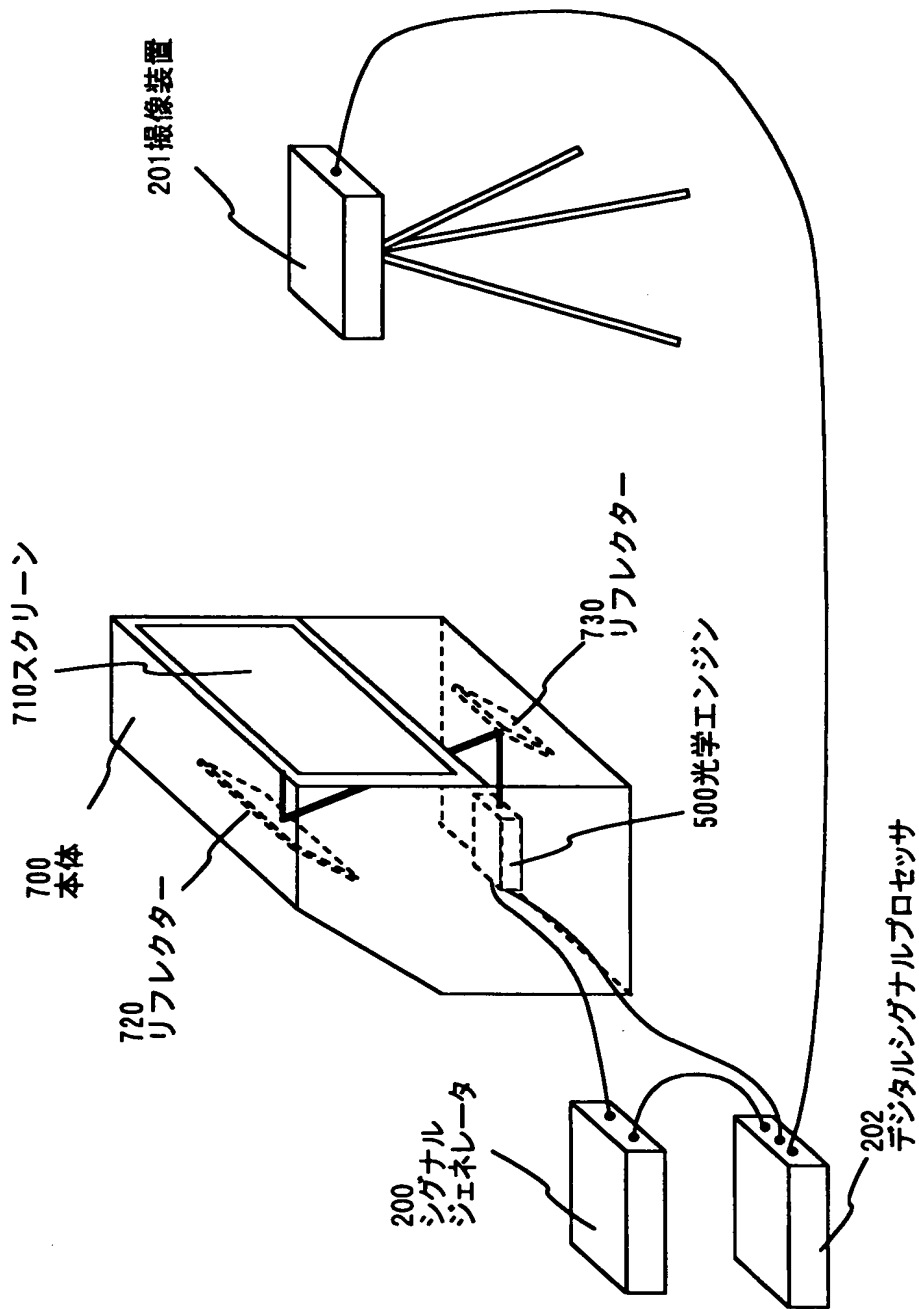
【図 5】



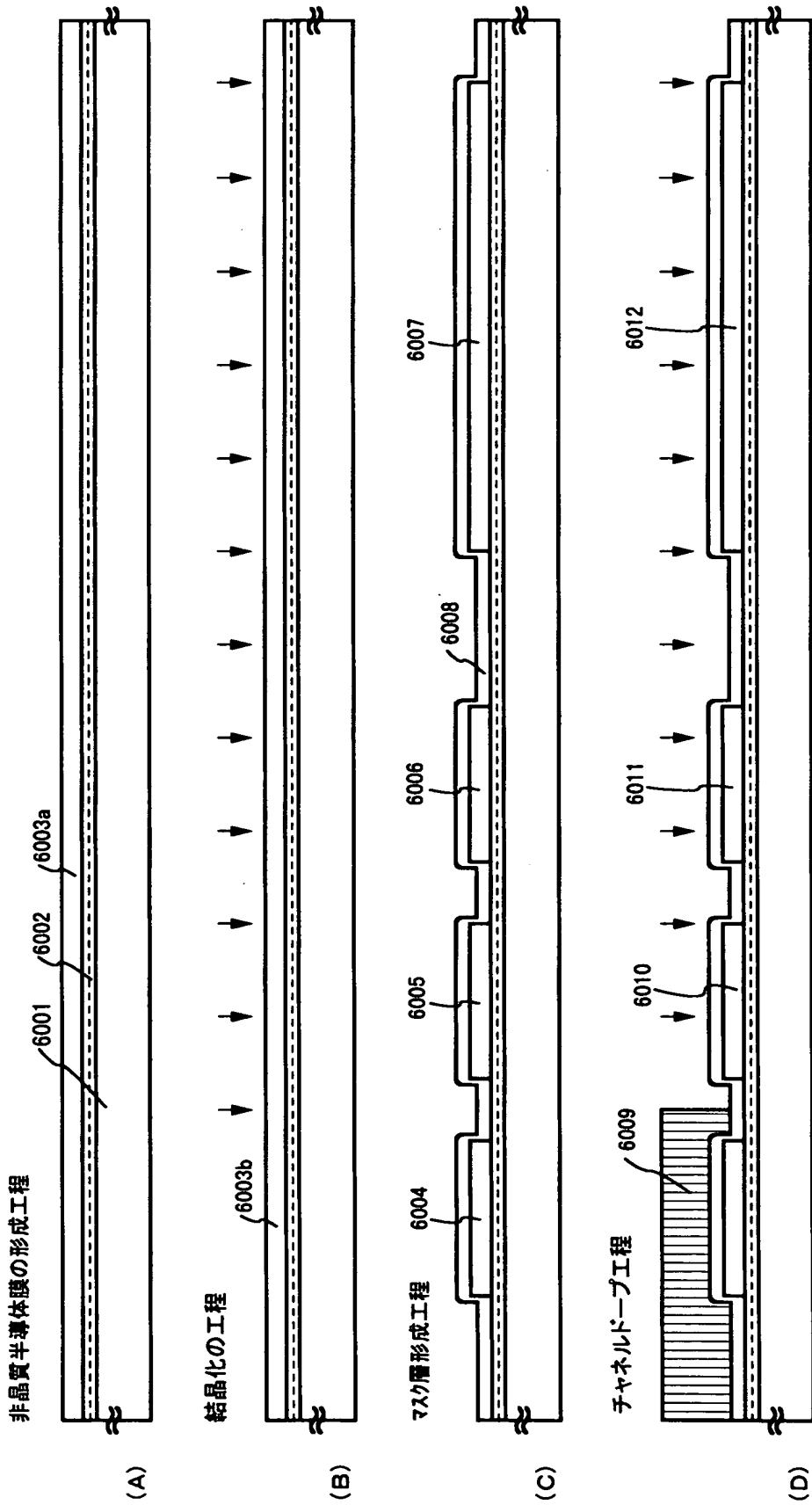
【図 6】



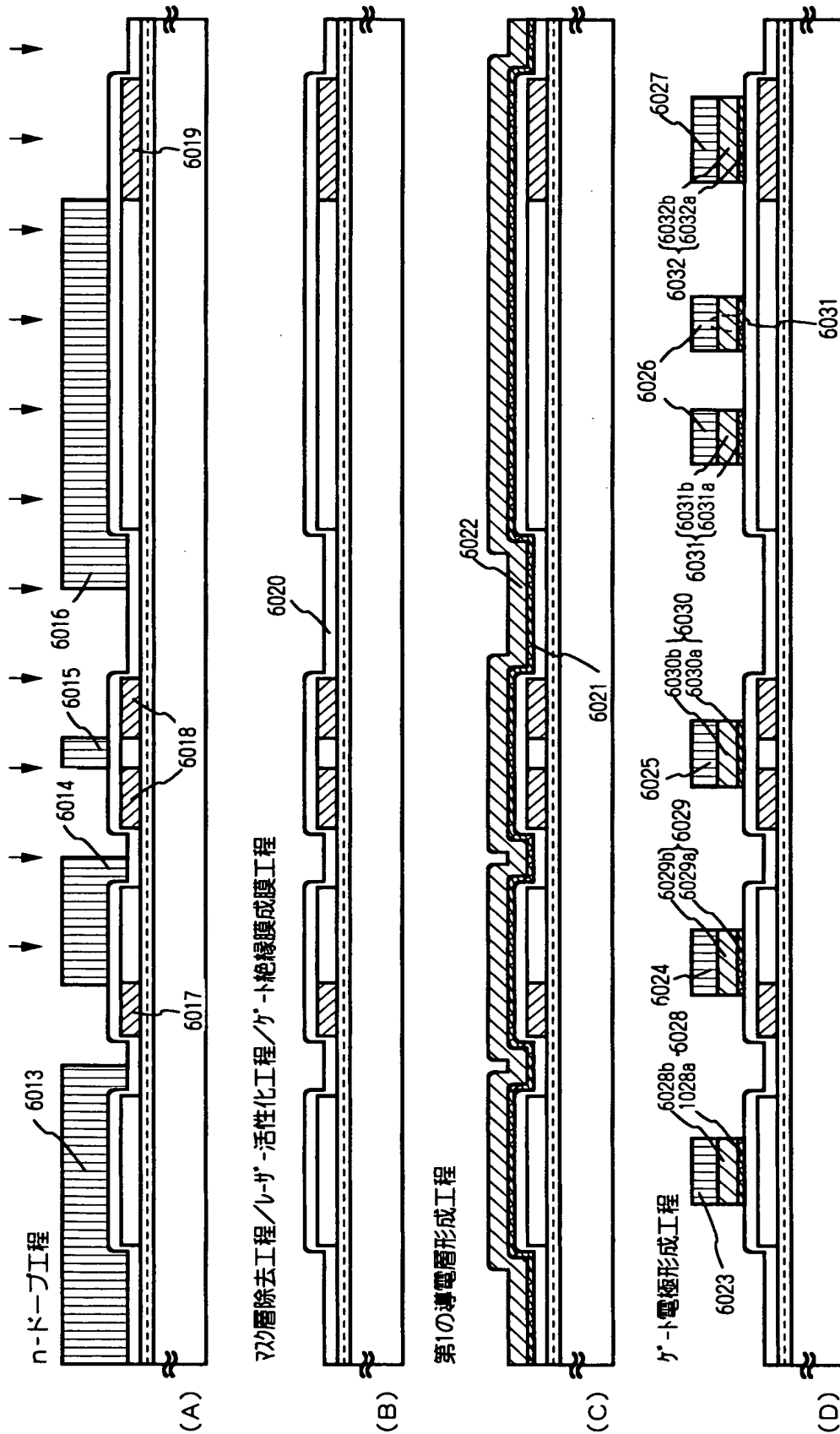
【図 7】



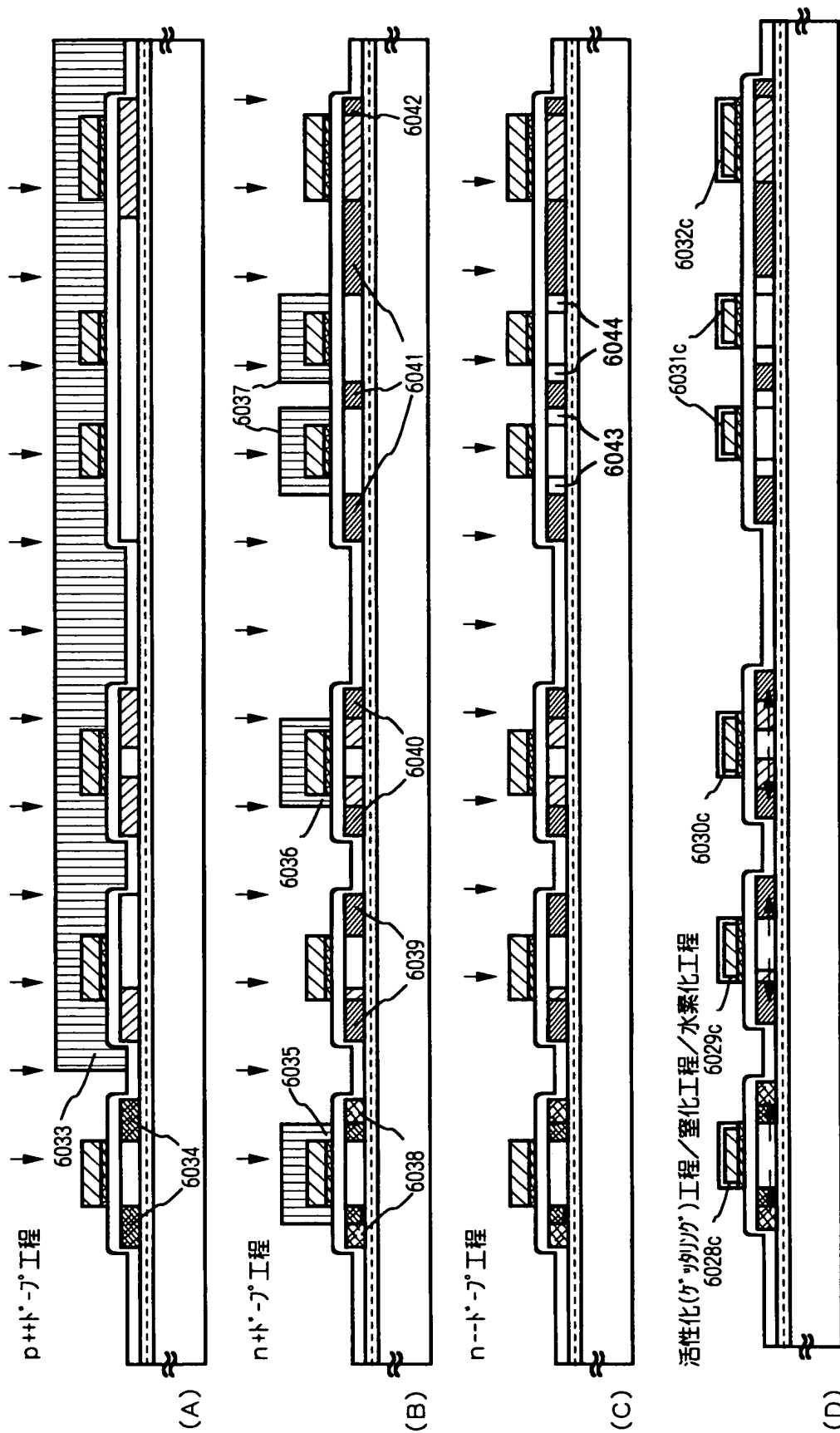
【図 8】



【図 9】

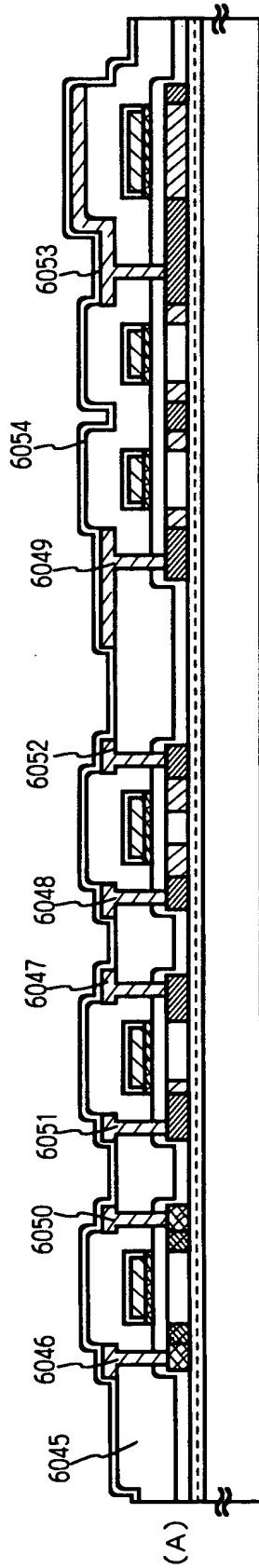


【図 1 0】

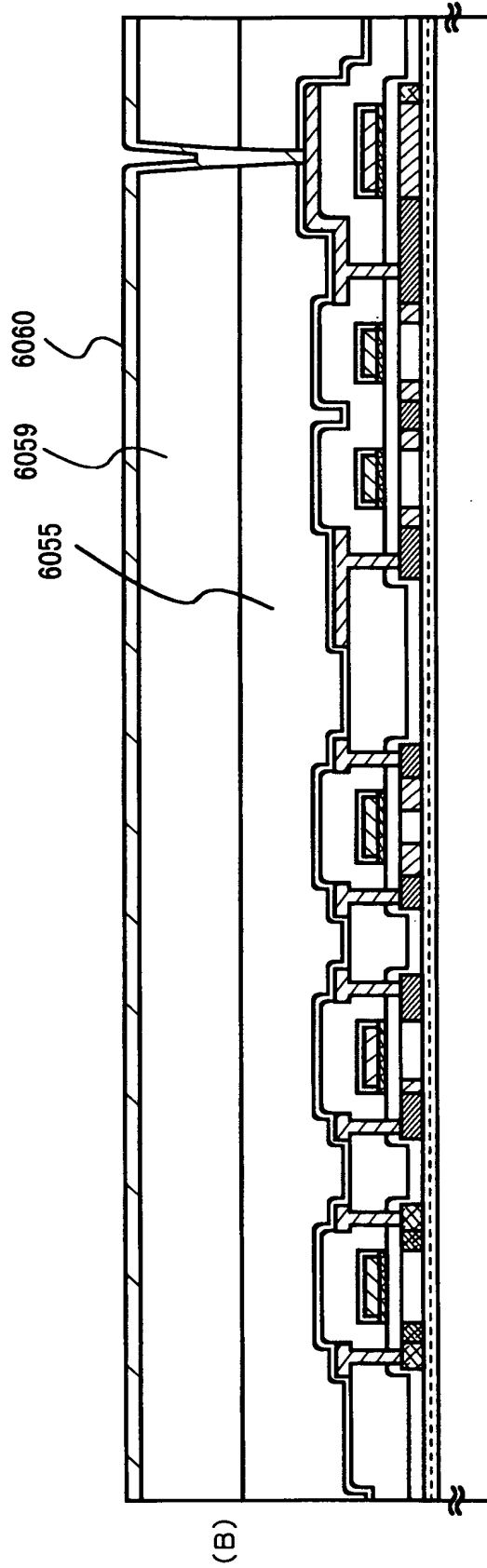


【図 1 1】

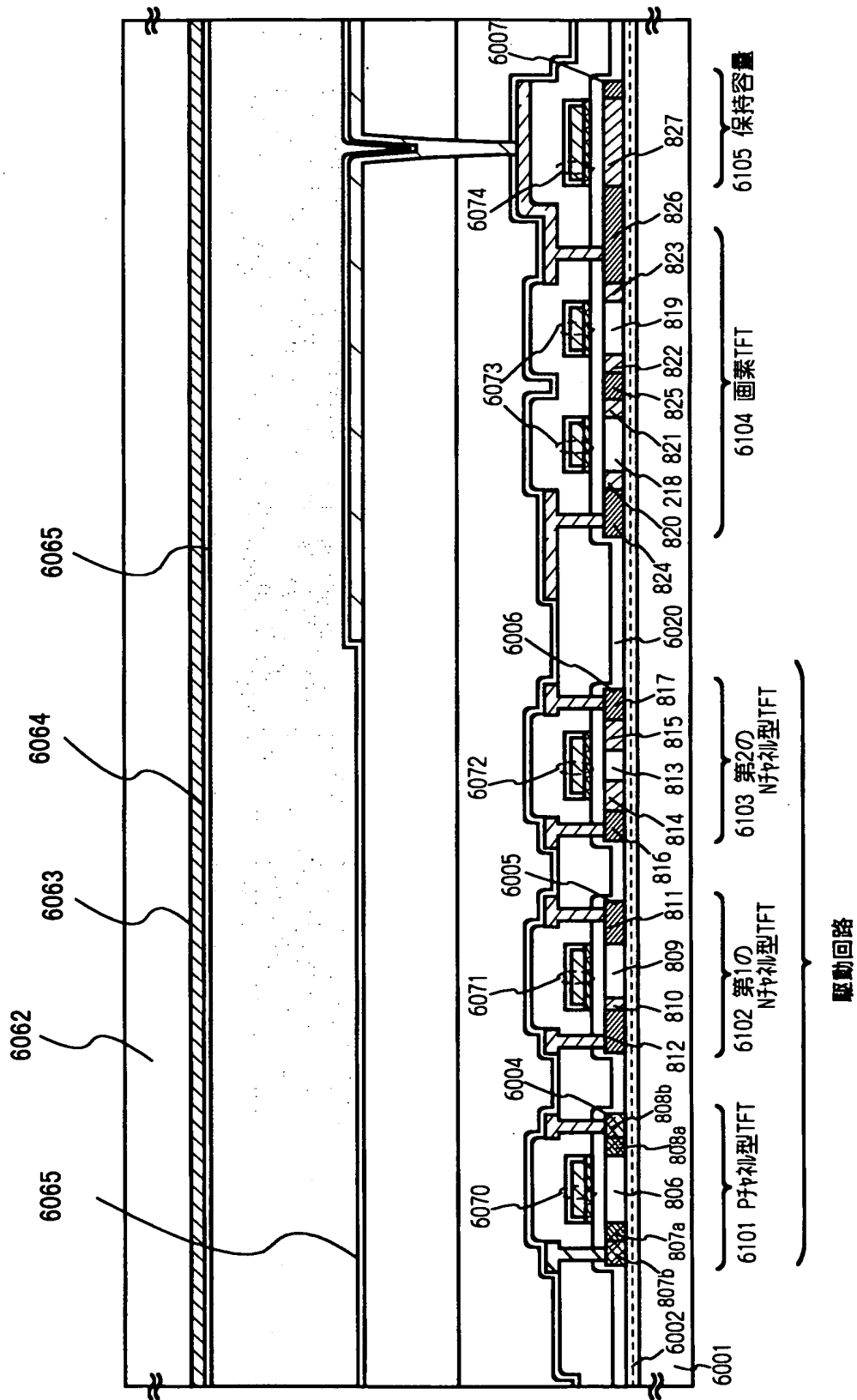
層間膜形成工程／コンタクトホール形成工程／配線形成工程
ハニシ膜形成工程

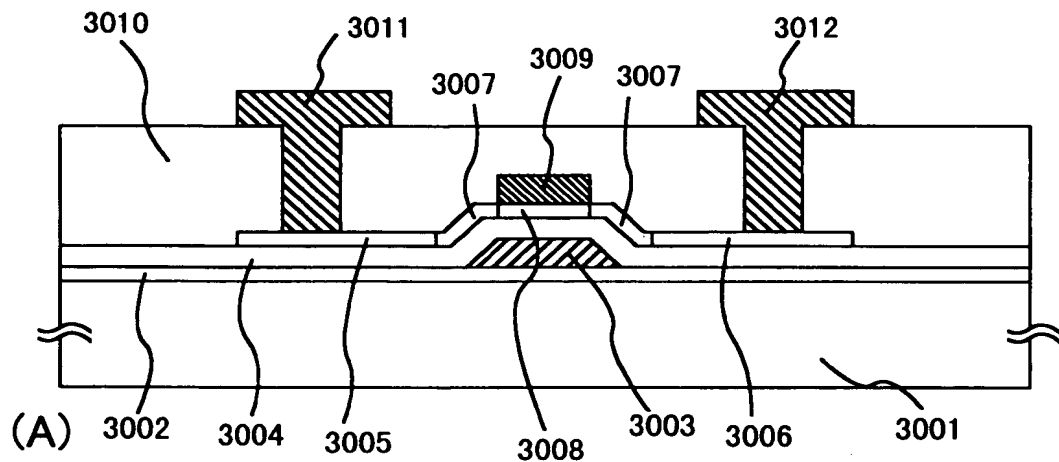


樹脂膜形成工程／コンタクトホール形成工程／画素電極形成工程

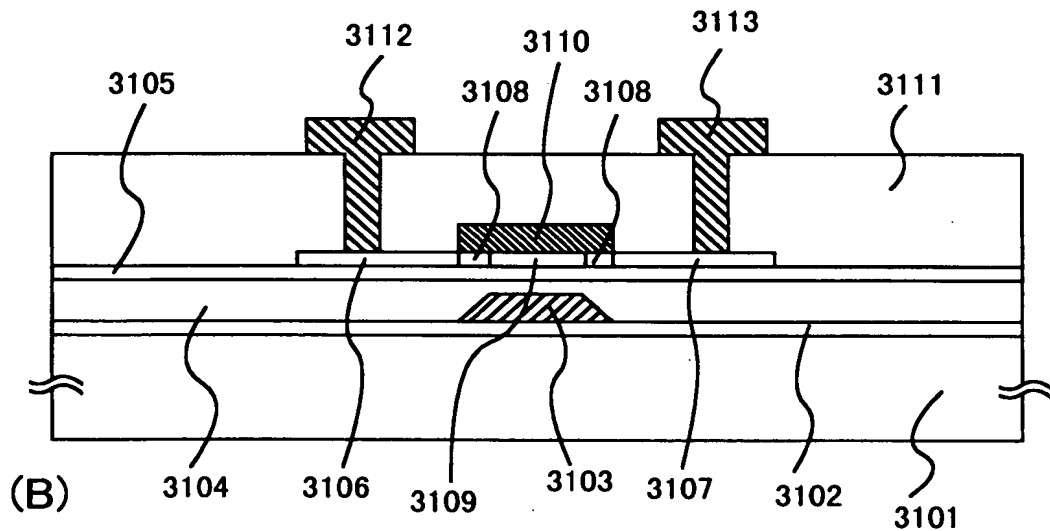


【図 1 2】



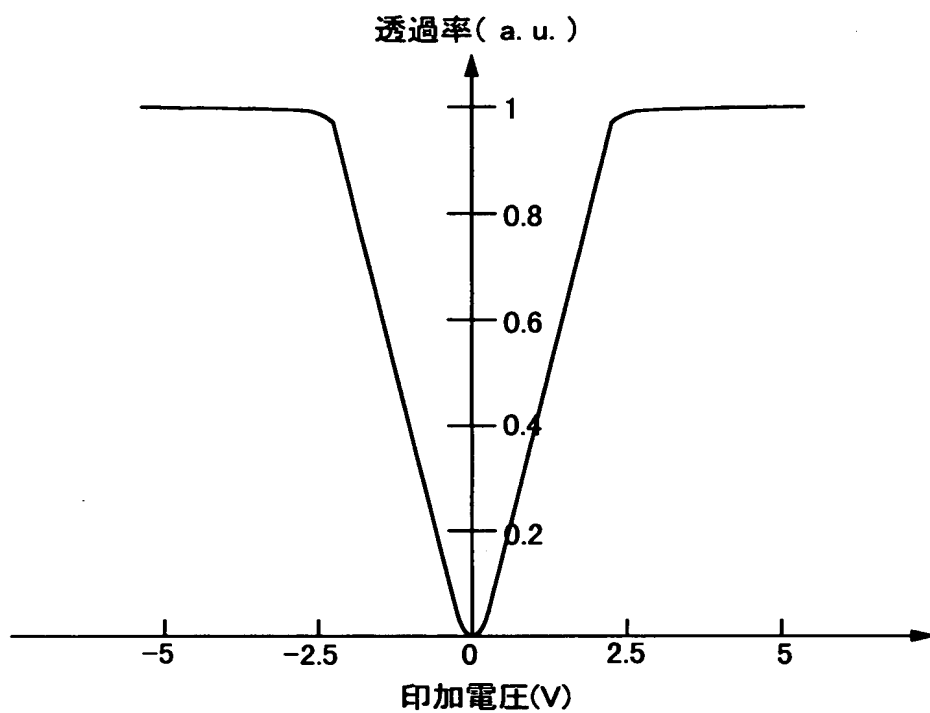


- | | |
|--------------|----------------------|
| 3001 基板 | 3007 低濃度不純物領域(LDD領域) |
| 3002 酸化シリコン膜 | 3008 チャンネル形成領域 |
| 3003 ゲート電極 | 3009 チャンネル保護膜 |
| 3004 ゲート絶縁膜 | 3010 層間絶縁膜 |
| 3005 ソース領域 | 3011 ソース電極 |
| 3006 ドレイン領域 | 3012 ドレイン電極 |

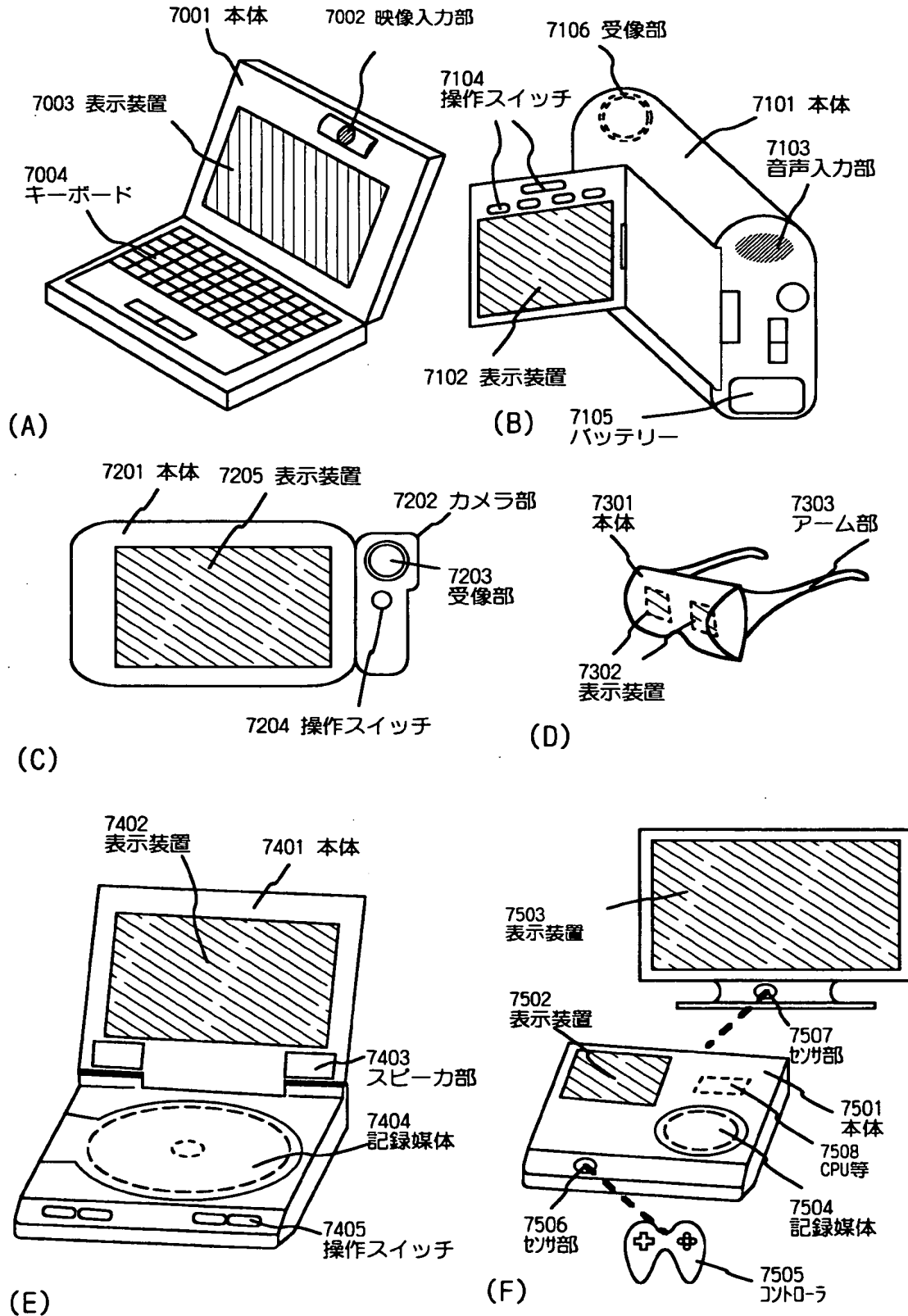


- | | |
|---------------------|----------------------|
| 3101 基板 | 3108 低濃度不純物領域(LDD領域) |
| 3102 酸化シリコン膜 | 3109 チャンネル形成領域 |
| 3103 ゲート電極 | 3110 チャンネル保護膜 |
| 3104 ベンゾシクロブテン(BCB) | 3111 層間絶縁膜 |
| 3105 窒化シリコン | 3112 ソース電極 |
| 3106 ソース領域 | 3113 ドレイン電極 |
| 3107 ドレイン領域 | |

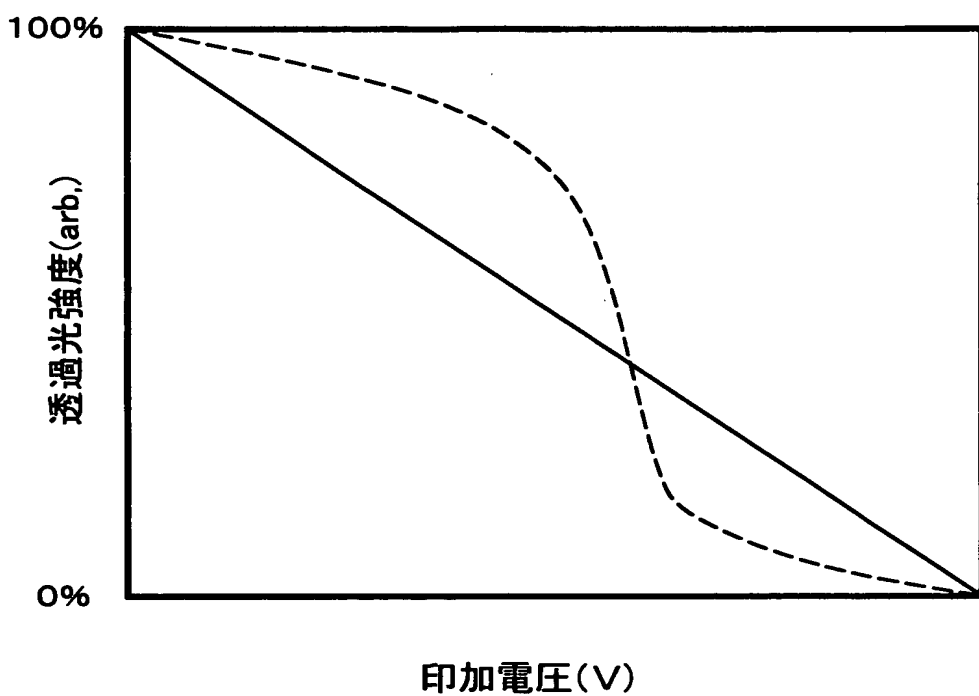
【図 1.5】



【図 1 6】



【図 1 7】



【書類名】 要約書

【要約】

【課題】 良好な画像を表示することができる表示装置を提供すること。

【解決手段】 本発明によると、複数のＴＦＴがマトリクス状に配置された画素部と、ソースドライバと、ゲートドライバと、を有する表示パネルと、外部から入力される映像信号を処理する映像信号処理回路と、前記表示パネルおよび前記映像信号処理回路を制御するコントロール回路と、を有する表示装置であって、前記映像信号処理回路は、補正テーブルに基づき前記映像信号を補正し、補正された映像信号を前記表示パネルへ供給することを特徴とする表示装置が提供される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日	1990年 8月17日
[変更理由]	新規登録
住 所	神奈川県厚木市長谷398番地
氏 名	株式会社半導体エネルギー研究所